



日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 3月28日

出願番号

Application Number:

特願2001-092551

[ST.10/C]:

[JP2001-092551]

出願人

Applicant(s):

株式会社日立製作所

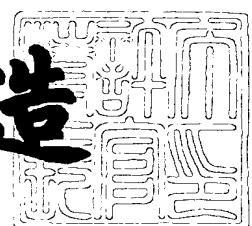
株式会社日立超エル・エス・アイ・システムズ

SN 10/086,689  
Mattingly Stanger Malur  
703 684-1120  
Dkt: H-1032

2002年 3月19日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2002-3018647

【書類名】 特許願

【整理番号】 H01001311

【提出日】 平成13年 3月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/70

【発明者】

【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内

【氏名】 橋本 尚

【発明者】

【住所又は居所】 東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

【氏名】 三上 耕司

【発明者】

【住所又は居所】 東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

【氏名】 有働 勉

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内

【氏名】 近藤 将夫

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内

【氏名】 大植 栄司

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233169

【氏名又は名称】 株式会社日立超エル・エス・アイ・システムズ

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法および半導体装置

【特許請求の範囲】

【請求項1】 以下の工程を有することを特徴とする半導体装置の製造方法

；

(a) 半導体基板に窒化シリコン膜を堆積する工程、

(b) 前記窒化シリコン膜上にバイポーラトランジスタのベース電極形成用のシリコン膜を堆積する工程、

(c) 前記ベース電極形成用のシリコン膜上に第1酸化シリコン膜を堆積する工程、

(d) 前記第1酸化シリコン膜およびベース電極形成用のシリコン膜に前記窒化シリコン膜に達するような開口部を形成する工程、

(e) 前記半導体基板に酸化処理を施すことにより、前記開口部から露出する前記ベース電極形成用のシリコン膜の側面に第2酸化シリコン膜を形成する工程、

(f) 前記窒化シリコン膜にウェットエッチング処理を施すことにより、前記開口部内において、前記窒化シリコン膜の側面が前記ベース電極形成用のシリコン膜の側面よりも後退するように、前記窒化シリコン膜を等方的にエッチング除去する工程、

(g) 前記開口部から露出する半導体基板上にベース領域形成用のエピタキシャル層を選択的に形成する工程。

【請求項2】 請求項1記載の半導体装置の製造方法において、

前記(d)工程後、前記(e)工程前に、前記半導体基板に対してウェットエッチングを施し、前記開口部内における前記第1酸化シリコン膜の側面を、前記開口部内における前記ベース電極形成用のシリコン膜の側面よりも後退させて、前記開口部における前記第1酸化シリコン膜の開口寸法が前記ベース電極形成用のシリコン膜の開口寸法よりも長くなるように、前記第1酸化シリコン膜の一部を除去する工程を有することを特徴とする半導体装置の製造方法。

【請求項3】 請求項1または2記載の半導体装置の製造方法において、

前記(b)工程後、前記(c)工程前に、前記第1酸化シリコン膜が接する側

の前記ベース電極形成用のシリコン膜部分に第1不純物を導入する工程を有することにより、前記(e)工程に際して、前記開口部から露出するベース電極形成用のシリコン膜において、前記第1不純物の導入領域に形成される前記第2酸化シリコン膜の厚さを、それ以外の部分に形成される前記酸化シリコン膜よりも厚くする工程を有することを特徴とする半導体装置の製造方法。

【請求項4】 請求項1、2または3記載の半導体装置の製造方法において

、  
前記(g)工程後に、

(h) 前記第2酸化シリコン膜の全体および前記第1酸化シリコン膜の露出一部を除去する工程を有することにより、前記開口部において、前記第1酸化シリコン膜の開口寸法を、前記ベース電極形成用のシリコン膜の開口寸法よりも広くする工程を有することを特徴とする半導体装置の製造方法。

【請求項5】 請求項4記載の半導体装置の製造方法において、

前記(h)工程後に、

(i) 前記開口部内を含む半導体基板上に、第3酸化シリコン膜を堆積する工程

、  
(j) 前記第3酸化シリコン膜上にエミッタ電極形成用の第1シリコン膜を堆積した後、その第1シリコン膜をエッチバックする工程、

(k) 前記エッチバック工程で残された前記エミッタ電極形成用の第1シリコン膜をマスクとして、前記第3酸化シリコン膜をエッティング除去することにより、前記開口部から前記エピタキシャル層を露出させる工程、

(l) 前記開口部内を含む半導体基板上に、エミッタ電極形成用の第2シリコン膜を堆積する工程、

(m) 前記エミッタ電極形成用の第2シリコン膜をパターニングすることによりエミッタ電極を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項6】 請求項5記載の半導体装置の製造方法において、

前記(l)工程に際して、前記第2シリコン膜中に第2不純物を導入する工程

、  
前記(m)工程後、前記エミッタ電極形成用の第2シリコン膜中の第2不純物

を、前記エピタキシャル層に拡散させることにより、前記エピタキシャル層にエミッタ領域を形成する工程を有することを特徴とする半導体装置の製造方法。

**【請求項7】 請求項6記載の半導体装置の製造方法において、**

前記エミッタ電極の近傍の前記第1酸化シリコン膜を、その側面がエミッタ電極の側面よりも後退するように除去する工程、

前記エミッタ電極を含む半導体基板上に金属膜を堆積した後、前記半導体基板に熱処理を施すことにより、前記エミッタ電極および半導体基板において前記金属膜が接する部分にシリサイド層を形成する工程を有することを特徴とする半導体装置の製造方法。

**【請求項8】 請求項7記載の半導体装置の製造方法において、前記金属膜をスパッタリング法によって堆積することを特徴とする半導体装置の製造方法。**

**【請求項9】 請求項1～8のいずれか1項に記載の半導体装置の製造方法において、**

前記(a)工程前に、

前記半導体基板上にゲート絶縁膜を形成する工程、

前記ゲート絶縁膜上にゲート電極を形成する工程、

前記半導体基板にソースおよびドレイン用の半導体領域を形成する工程を有することにより、前記半導体基板に電界効果トランジスタを形成する工程を有することを特徴とする半導体装置の製造方法。

**【請求項10】 請求項1～9のいずれか1項に記載の半導体装置の製造方法において、前記エピタキシャル層が、シリコンーゲルマニウム、シリコンーゲルマニウムーカーボンまたはシリコンを主体としてなることを特徴とする半導体装置の製造方法。**

**【請求項11】 以下の構成を有することを特徴とする半導体装置；**

半導体基板に形成されたコレクタ領域、

前記半導体基板上に形成された第1絶縁膜、

前記半導体基板および第1絶縁膜上に形成されたベース電極、

前記ベース電極上に形成された第2絶縁膜、

前記第2絶縁膜およびベース電極に開口された第1開口部、

前記第1開口部につながり、前記第1絶縁膜に、前記第1開口部内の前記ベース電極側面よりも後退するように開口された第2開口部、

前記第2開口部内において、前記ベース電極および前記半導体基板に接して成長されたエピタキシャル層、

前記エピタキシャル層において、前記ベース電極およびコレクタ領域に接続されるように形成されたベース領域、

前記エピタキシャル層において、前記ベース領域に取り囲まれるように形成されたエミッタ領域、

前記ベース電極とは絶縁された状態で前記第1開口部内に一部が埋め込まれ、前記エミッタ領域と電気的に接続されたエミッタ電極を有するバイポーラトランジスタを備え、

前記第1開口部において、前記第2絶縁膜の開口幅が、前記ベース電極の開口幅よりも大きいことを特徴とする半導体装置。

【請求項12】 以下の構成を有することを特徴とする半導体装置；

半導体基板に形成されたコレクタ領域、

前記半導体基板上に形成された窒化シリコン膜、

前記半導体基板および窒化シリコン膜上に形成されたベース電極、

前記ベース電極上に形成された第1酸化シリコン膜、

前記第1酸化シリコン膜およびベース電極に開口された第1開口部、

前記第1開口部につながり、前記窒化シリコン膜に、前記第1開口部内の前記ベース電極側面よりも後退するように開口された第2開口部、

前記第2開口部内において、前記ベース電極および前記半導体基板に接して成長されたエピタキシャル層、

前記エピタキシャル層において、前記ベース電極およびコレクタ領域に接続されるように形成されたベース領域、

前記エピタキシャル層において、前記ベース領域に取り囲まれるように形成されたエミッタ領域、

前記ベース電極とは絶縁された状態で前記第1開口部内に一部が埋め込まれ、前記エミッタ領域と電気的に接続されたエミッタ電極を有するバイポーラトラン

ジスタを備え、

前記第1開口部において、前記第1酸化シリコン膜の開口幅が、前記ベース電極の開口幅よりも大きいことを特徴とする半導体装置。

**【請求項13】** 請求項11または12記載の半導体装置において、前記半導体基板に電界効果トランジスタを設けたことを特徴とする半導体装置。

**【請求項14】** 請求項11または12記載の半導体装置において、前記エピタキシャル層が、シリコンーゲルマニウム、シリコンーゲルマニウムカーボンまたはシリコンを主体としてなることを特徴とする半導体装置。

**【請求項15】** 以下の工程を有することを特徴とする半導体装置の製造方法；

(a) 半導体基板上に第1絶縁膜を介してベース電極形成用の半導体膜を堆積する工程、

(b) 前記ベース電極形成用の半導体膜上に第2絶縁膜を堆積する工程、

(c) 前記第2絶縁膜およびベース電極形成用の半導体膜にエミッタ開口部を形成する工程、

(d) 前記第2絶縁膜上にエミッタ電極形成用の半導体膜を堆積し、その一部をベース電極形成用の半導体膜とは絶縁された状態で前記エミッタ開口部内に埋め込む工程、

(e) 前記エミッタ電極形成用の半導体膜をパターニングすることでエミッタ電極を形成する工程、

(f) 前記エミッタ電極の下層の第2絶縁膜をパターニングする工程、

(g) 前記エミッタ電極の下層のパターニングされた前記第2絶縁膜の側面を前記エミッタ電極の側面よりも後退させるようにエッチングする工程、

(h) 前記ベース電極形成用の半導体膜をパターニングすることでベース電極を形成する工程、

(i) 前記半導体基板上に金属膜を堆積した後、熱処理を施すことにより、前記半導体基板、ベース電極およびエミッタ電極と金属膜との接触部にシリサイド層を形成する工程。

**【請求項16】** 以下の工程を有することを特徴とする半導体装置の製造方

法；

- (a) 半導体基板に第1絶縁膜を堆積する工程、
- (b) 前記第1絶縁膜上にバイポーラトランジスタのベース電極形成用の導体膜を堆積する工程、
- (c) 前記ベース電極形成用の導体膜上に第2絶縁膜を堆積する工程、
- (d) 前記第2絶縁膜およびベース電極形成用の導体膜に前記第1絶縁膜に達するような開口部を形成する工程、
- (e) 前記開口部において、前記第2絶縁膜の開口幅が、前記ベース電極形成用の導体膜の開口幅よりも大きくなるように、前記第2絶縁膜を後退させる工程、
- (f) 前記ベース電極形成用の導体膜とは絶縁された状態で前記開口部にエミッタ電極を埋め込む工程。

**【請求項17】** エミッタ開口部の底部から露出する半導体基板上にベース領域形成用のエピタキシャル層を選択成長させるのに先立って、前記エミッタ開口部に、前記エピタキシャル成長時の保護膜として機能する絶縁膜を酸化処理によって形成する工程を有することを特徴とする半導体装置の製造方法。

**【請求項18】** 半導体基板上に形成されたバイポーラトランジスタのエミッタ電極とベース電極との間に挟まれた絶縁膜の側面を、エミッタ電極の側面よりも後退させた後に、前記半導体基板上に金属膜を堆積させて熱処理を施すことにより、前記エミッタ電極、ベース電極および半導体基板と金属膜との接触部にシリサイド層を形成する工程を有することを特徴とする半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、半導体装置の製造方法および半導体装置技術に関し、特に、選択エピタキシャル成長技術を用いてベース層を形成する、いわゆる自己整合型またはHBT (Hetero-junction Bipolar Transistor) 構造のバイポーラトランジスタを有する半導体装置技術に適用して有効な技術に関するものである。

##### 【0002】

##### 【従来の技術】

バイポーラトランジスタの高速性能の向上を主目的として、バイポーラトランジスタのベース層を選択エピタキシャル成長技術を用いて形成する自己整合型バイポーラトランジスタ技術が検討されている。この自己整合型バイポーラトランジスタ技術としては、例えば特開平6-112215号公報に記載がある。以下、自己整合型バイポーラトランジスタの形成方法の一例を説明する。

#### 【0003】

まず、半導体基板に素子分離のための浅溝を形成した後、半導体基板上に、酸化シリコン膜、p型の多結晶シリコン膜および窒化シリコン膜を下層から順にCVD (Chemical Vapor Deposition) 法等によって堆積する。続いて、窒化シリコン膜とp型の多結晶シリコン膜をドライエッチングすることによりエミッタ開口部を形成する。その後、さらに窒化シリコン膜をCVD法により成膜した後、その窒化シリコン膜をエッチバックすることにより、上記エミッタ開口部の側壁に窒化シリコン膜からなるサイドウォールを形成する。この際、酸化シリコン膜との選択性を持たせる等の理由からエッチングガスとしてCHF系のガスを用いる。次いで、上記窒化シリコン膜とサイドウォールとをマスクとしてエミッタ開口部の底部の酸化シリコン膜をウェットエッチングする。この際、サイドウォール直下とp型の多結晶シリコン膜との下の酸化シリコン膜もエッチングして、アンダカット部を形成する。次に、選択エピタキシャル成長法により、エミッタ開口部中で半導体基板面と多結晶シリコン膜とが露出する箇所において、例えばp型のSiGe層をエピタキシャル成長する。この時に、多結晶シリコン膜直下のアンダカット部はSiGe層により埋め込まれ、p型の多結晶シリコン膜とSiGe層とは接続される。更に、n<sup>+</sup>型の多結晶シリコン膜を成膜し、エミッタ多結晶シリコン電極を形成する。この後に、n<sup>+</sup>型の多結晶シリコン層から不純物を熱拡散させてSiGe層の上部にn<sup>+</sup>型のエミッタ領域を形成する。

#### 【0004】

##### 【発明が解決しようとする課題】

ところが、上記自己整合型バイポーラトランジスタの形成技術においては、以下の課題があることを本発明者は見出した。

#### 【0005】

すなわち、リーク電流の少ないバイポーラトランジスタを形成する上で問題がある。通常、窒化シリコン膜のエッチングに際しては、CHF系のエッチングガスを、例えば1000Wという高い高周波（RF）パワーでプラズマ化し、エッチングを行う。そのため、窒化シリコン膜のエッチングを、その下層の酸化シリコン膜上で止めることができたとしても、高い運動エネルギーを有する軽元素である水素イオンが、下地の酸化シリコン膜を突き抜けて、半導体基板の素子形成部にダメージを与える。そのため、その後に成長させたベース形成用のエピタキシャル層の結晶性も劣化する結果、バイポーラトランジスタの特性が劣化するという問題が生じる。

#### 【0006】

また、上記自己整合型バイポーラトランジスタの形成技術においては、エミッタ幅が狭くなるにつれて、エミッタ抵抗が急激に増大する問題がある。CVD法により堆積されるエミッタ電極形成用のn<sup>+</sup>型の多結晶シリコン膜のカバレッジは、ノンドープ型の多結晶シリコン膜よりも低く、0.7～0.8程度のカバレッジしか有していない。そのため、エミッタ幅が狭くなりエミッタ開口部のアスペクトが大きくなると、上記のようにn<sup>+</sup>型の多結晶シリコン膜をエミッタ開口部に埋め込む際に、そのエミッタ開口部中の多結晶シリコン膜中にボイドが発生し、エミッタ抵抗を更に引き上げる作用が生じる。

#### 【0007】

本発明の目的は、バイポーラトランジスタの特性を向上させることのできる技術を提供することにある。

#### 【0008】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

#### 【0009】

##### 【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

#### 【0010】

すなわち、本発明は、エミッタ開口部の底部から露出する半導体基板上にベース領域形成用のエピタキシャル層を選択成長させるのに先立って、前記エミッタ開口部に、前記エピタキシャル成長時の保護膜として機能する絶縁膜を酸化処理によって形成する工程を有するものである。

#### 【0011】

また、本願において開示される発明のうち、別のものの概要を簡単に説明すれば、次のとおりである。

#### 【0012】

すなわち、本発明は、半導体基板上に形成されたバイポーラトランジスタのエミッタ電極とベース電極との間に挟まれた絶縁膜の側面を、エミッタ電極の側面よりも後退させた後に、前記半導体基板上に金属膜を堆積させて熱処理を施すことにより、前記エミッタ電極、ベース電極および半導体基板と金属膜との接触部にシリサイド層を形成する工程を有するものである。

#### 【0013】

##### 【発明の実施の形態】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションに分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

#### 【0014】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

#### 【0015】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

#### 【0016】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

#### 【0017】

また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

#### 【0018】

また、本実施の形態においては、電界効果トランジスタを代表するMIS·FET (Metal Insulator Semiconductor Field Effect Transistor) をMISと略し、pチャネル型のMIS·FETをpMISと略し、nチャネル型のMIS·FETをnMISと略す。

#### 【0019】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

#### 【0020】

本実施の形態においては、例えば10Gb/sあるいは40Gb/sの光伝送システム（光電変換装置等）、携帯電話またはブルートゥース用の電子装置に用いられる半導体装置であって、同一の半導体基板（以下、単に基板という）に、自己整合型またはHBT構造のバイポーラトランジスタおよびMIS等を設けている半導体装置の製造方法に本発明を適用した場合について説明する。ここでは、バイポーラトランジスタとして高速動作が要求されるn-p-n型のバイポーラトランジスタを例示し、MISとしてnMISを例示する。ただし、これに限定されるものではない。例えばp-n-p型のバイポーラトランジスタに本発明を適用することもできる。また、MISはpMISでも良い。もちろん、nMISおよびpMISの両方が同一の基板に形成される場合にも本発明を適用できる。

#### 【0021】

図1(a), (b)は、その半導体装置の製造工程における要部断面図を示している。図1(a)は上記バイポーラトランジスタの形成領域、(b)は上記MISの形成領域をそれぞれ示している。また、図2は、図1(a)の要部拡大

断面図を示している。

#### 【0022】

基板1は、例えば平面略円形状のSOI (Silicon On Insulator) ウエハからなる。すなわち、基板1は、支持基板1a上に埋込絶縁層1bを介して半導体層1cを設けてなる。支持基板1aは、例えば単結晶シリコン(Si)からなり、基板1の機械的強度を確保する機能を有している。埋込絶縁層1bは、例えば酸化シリコン(SiO<sub>x</sub>)からなる。半導体層1cは、例えば単結晶シリコン層からなり、この半導体層1cに素子が形成される。基板1は、例えば貼り合わせ法によって形成されている。すなわち、単結晶シリコン等からなる2枚の半導体ウエハ(以下、単にウエハという)を埋込絶縁層1bを介して貼り合わせた後、一方のウエハの裏面を研削および研磨し、さらに、その研削および研磨をしたウエハの裏面にn型の単結晶シリコン等をエピタキシャル法によって成長させることで形成されている。したがって、半導体層1cの単結晶シリコン層は、ウエハで形成された部分とエピタキシャル法で形成された部分とを有している。

#### 【0023】

半導体層1cの正面(素子形成面)の分離領域には、浅溝型の分離部(SGI: Shallow Groove Isolation)2aと、深い溝型の分離部(Trench Isolation)2bとが形成されている。浅溝型の分離部2aは、埋込絶縁層1bに接しない程度に半導体層1cに掘られた浅い溝内に、例えば酸化シリコン膜が埋め込まれて形成されている。この浅溝型の分離部2aによって活性領域の範囲が規定されている。また、深い溝型の分離部2bは、浅溝型の分離部2aの上面からその分離部2aおよび半導体層1cを貫通して埋込絶縁層1bに達するように掘られた深い溝内に、例えば酸化シリコン膜が埋め込まれて形成されている。この深い溝型の分離部2bによって半導体層1cにおける各素子領域が電気的に完全に分離されている。なお、分離部2aは、溝型の分離部に限定されるものではなく、例えばLOCOS (Local Oxidization of Silicon) 法によって形成された分離部としても良い。

#### 【0024】

バイポーラトランジスタ形成領域(図1(a))において半導体層1cには、

$n^+$ 型のコレクタ埋込領域3aが形成されている。このコレクタ埋込領域3aには、例えばアンチモン(Sb)が含有されている。このコレクタ埋込領域3aの上層には、n型のコレクタ領域3bおよび $n^+$ 型のコレクタ引出領域3cが形成されている。n型のコレクタ領域3bおよび $n^+$ 型のコレクタ引出領域3cには、例えばリン(P)が含有されている。このn型のコレクタ領域3bと $n^+$ 型のコレクタ引出領域3cとは、その間に設けられた浅溝型の分離部2aによって分離されているが、上記コレクタ埋込領域3aを通じて電気的に接続されている。

#### 【0025】

また、バイポーラトランジスタ形成領域において半導体層1cおよび分離部2a, 2b上には、例えば酸化シリコン膜からなる絶縁膜4がCVD(Chemical Vapour Deposition)法等によって堆積されている。絶縁膜4において、上記n型のコレクタ領域およびその周囲に及ぶ領域の平面位置には開口部4aが形成されている。この開口部4aの側面には、開口寸法が開口部4aの底部から上部に向かうに従って次第に大きくなるように順テープが形成されている。この開口部4a内における半導体層1cの正面において浅い分離部2aに囲まれた活性領域には、例えば酸化シリコン膜からなる絶縁膜5が熱酸化法等によって形成されている(図2参照)。絶縁膜5の厚さは、例えば二酸化シリコン換算膜厚で6nm程度である。

#### 【0026】

一方、MIS形成領域(図1(b))において半導体層1cには、pウエル6aおよびpウエル引出領域6bが下層から順に形成されている。pウエル6aおよびpウエル引出領域6bには、例えばホウ素(B)が含有されている。このpウエル6aとpウエル引出領域6bとは互いに電気的に接続されている。そして、そのpウエル6aには、例えばnMISQnが既に形成されている。バイポーラトランジスタの形成前に既にnMISQnが形成されているのは、一般的に、高低差のあるバイポーラトランジスタ形成を形成する前に、MISを形成してしまうことにより、MISのゲート電極の加工を容易にすることができるからである。このMIS形成領域において半導体層1c上には、nMISQnを覆うように上記絶縁膜4が堆積されている。

## 【0027】

nMISQnは、ソースおよびドレイン用のn型の半導体領域7，7と、ゲート絶縁膜8と、ゲート電極9とを有している。nMISQnのチャネルは、ソース用のn型の半導体領域7とドレイン用のn型の半導体領域7との間においてゲート電極9の直下に形成される。n型の半導体領域7，7は、pウエル6aの表層に形成されており、第1領域7aおよび第2領域7bを有している。この第1、第2領域7a，7bは、互いに電気的に接続されている。第1領域7aは、nMISQnのチャネルに隣接するように形成されている。また、第2領域7bは、チャネルから第1領域7a分だけ平面的に離間した状態で形成されている。第1、第2領域7a，7bには、共に、例えばリンまたはヒ素(As)が含有されているが、ここでは第1領域7aの不純物濃度の方が第2領域7bよりも低くなっている。すなわち、いわゆるLDD(Lightly Doped Drain)構造となっている。ゲート絶縁膜8は、例えば酸化シリコン膜からなる。ただし、ゲート絶縁膜8を酸窒化膜としても良い。すなわち、ゲート絶縁膜8と半導体層1cとの界面に窒素を偏析させる構造としても良い。これにより、nMISQnのホットキャリア耐性を向上させることが可能となる。この段階のゲート電極9は、例えばn型の多結晶シリコンの単体膜からなる。このゲート電極9の側面には、例えば酸化シリコン膜からなるサイドウォール10が形成されている。

## 【0028】

nMISQnの形成方法は、通常のMISの形成方法と同じである。すなわち、例えば次のとおりである。まず、基板1に熱酸化処理を施すことにより、半導体層1c上に、酸化シリコン膜等からなるゲート絶縁膜8を形成する。続いて、基板1に対して、例えば酸化窒素(NO)あるいは亜酸化窒素(N<sub>2</sub>O)等の雰囲気中で熱処理を施してゲート絶縁膜8と半導体層1cとの界面に窒素を偏析させてゲート絶縁膜8を酸窒化膜としても良い。その後、ゲート絶縁膜8を含む半導体層1c上に、n型の多結晶シリコン膜を堆積し、さらにその多結晶シリコン膜をフォトリソグラフィ技術およびドライエッチング技術によってパターニングすることでゲート電極9を形成する。次いで、第1領域7aを形成するために半導体層1cに、例えばリンまたはヒ素をイオン注入する。pMISを形成する場

合には、リンまたはヒ素に代えて、ホウ素または二フッ化ホウ素 ( $\text{BF}_2$ ) 等をイオン注入する。その後、半導体層1c上に、例えば酸化シリコン膜からなる絶縁膜をCVD法等によって堆積した後、その絶縁膜をドライエッチング法等によってエッチバックすることにより、ゲート電極9の側面にサイドウォール10を形成する。さらに、上記第2領域7bを形成するために半導体層1cに、例えばリンまたはヒ素をイオン注入する。 $\text{pMIS}$ を形成する場合には、上記と同様にリンまたはヒ素に代えてホウ素または二フッ化ホウ素等をイオン注入する。このようにして $n\text{MISQn}$ を形成する。なお、 $\text{pMIS}$ を形成する場合は、 $\text{p}$ ウエル6aおよび $\text{p}$ ウエル引出領域6bに代えて $n$ ウエルおよび $n$ ウエル引出領域を半導体層1cに形成する。この場合、例えばリンまたはヒ素をイオン注入する。また、ゲート電極9を $\text{p}$ 型とすることにより、 $\text{pMIS}$ のチャネルを表面チャネルとすることができます。表面チャネルでは、チャネルが、 $\text{MIS}$ のソースおよびドレイン用の半導体領域間においてゲート電極9下のゲート絶縁膜8と半導体層1cとの界面部分に形成される。

#### 【0029】

次に、図3(a), (b)は図1に続く半導体装置の製造工程中の要部断面図を示し、図4は図3(a)の要部拡大断面図を示している。

#### 【0030】

ここでは、まず、基板1(半導体層1cの正面側)上に、例えば厚さ50nm程度の窒化シリコン膜( $\text{Si}_x\text{N}_y$ )等からなる絶縁膜をCVD法等によって堆積した後、その絶縁膜をフォトリソグラフィ技術およびドライエッチング法によってほぼ上記開口部4a内のみに残されるようにパターニングすることにより、上記開口部4a内に窒化シリコン膜等からなる絶縁膜(第1絶縁膜)11を形成する。続いて、絶縁膜4, 11上に、導体膜として、例えば厚さ200nm程度のノンドープの多結晶シリコン膜からなるベース電極形成膜12をCVD法等によって堆積した後、そのベース電極形成膜12に対して、例えばホウ素をイオン注入する。この段階のイオン注入は、ホウ素を、ベース電極形成膜12の上部に注入するもので、ベース電極形成膜12の厚さ方向の全体にわたって注入するものではない。図4の破線は、これを示すもので、ベース電極形成膜12の上面から

この破線までがホウ素が注入されていることを模式的に示している。このため、このイオン注入時の加速エネルギーは、例えば10 keV程度の低いエネルギーとされている。このようにベース電極形成膜12は、半導体膜であるシリコン膜で構成されている。

#### 【0031】

次いで、図5(a), (b)は図3に続く半導体装置の製造工程中の要部断面図を示し、図6は図5(a)の要部拡大断面図を示している。

#### 【0032】

ここでは、まず、ベース電極形成膜12上に、例えば酸化シリコン膜からなる絶縁膜（第1酸化シリコン膜、第2絶縁膜）13をCVD法等によって堆積した後、バイポーラトランジスタ形成領域のn型のコレクタ領域3bの平面位置における絶縁膜13およびベース電極形成膜12の一部をフォトリソグラフィ技術およびドライエッチング技術によって除去することにより、エミッタ開口部14を形成する。このエミッタ開口部14の底面からは上記絶縁膜11が露出されている。また、エミッタ開口部14の側面からは上記ベース電極形成膜12が露出されている。エミッタ開口部14の平面寸法は、例えば約0.35 μm × 約2.0 μmである。

#### 【0033】

次いで、図7(a), (b)は図5に続く半導体装置の製造工程中の要部断面図を示している。

#### 【0034】

ここでは、絶縁膜13上にフォトレジスト（以下、単にレジスト膜という）膜15Aをフォトリソグラフィ技術によって形成する。レジスト膜15Aは、エミッタ開口部14を露出させ、それ以外を覆うように形成されている。続いて、SIC(Selective Implanted Collector)領域16を形成するための1回目のイオン注入を行う。すなわち、レジスト膜15Aをイオン注入マスクとして、例えばリンを200KeV、 $5 \times 10^{12} \text{ cm}^{-2}$ 程度の条件で半導体層1cにイオン注入する。これにより、バイポーラトランジスタの周波数特性を向上させることができる。

## 【0035】

次に、図8（a）、（b）は図7に続く半導体装置の製造工程中の要部断面図を示し、図9は図8（a）の要部拡大断面図を示している。

## 【0036】

ここでは、レジスト膜15Åを除去した後、希フッ酸等を用いて基板1を洗浄する。この際、絶縁膜13の表面が20nm程度の厚さ分だけエッチングされる（図9の破線参照）。このため、エミッタ開口部14内での絶縁膜13部分での開口幅L1は、エミッタ開口部14内でのベース電極形成膜12部分での開口幅L2よりも40nm程度幅広となる。また、エミッタ開口部14内からは、ベース電極形成膜12の上部角（肩部）が若干露出される。

## 【0037】

次いで、図10は図9に続く半導体装置の製造工程中の要部拡大断面図を示している。なお、図10のベース電極形成膜12に記された破線は図4の破線と同じものでホウ素の注入範囲を模式的に示している。

## 【0038】

ここでは、例えば酸素(O<sub>2</sub>)／水素(H<sub>2</sub>)を2:1の割合で混合したガス中で800℃の熱処理を基板1に対して約20分程度施す。これにより、エミッタ開口部14中で露出したベース電極形成膜12の側壁に、例えば酸化シリコン膜からなる絶縁膜（第2酸化シリコン膜）17を形成する。この絶縁膜17は、後述の選択エピタキシャル成長時の保護膜として機能する。

## 【0039】

ところで、このような酸化処理に際しては、一般的にパターンエッジ部（エミッタ開口部14から露するベース電極形成膜12の肩部）の酸化レートは遅くなり、その部分の絶縁膜17が薄くなってしまう。しかし、ベース電極形成膜12の肩部での絶縁膜17の厚さが充分に確保されず、ベース電極形成膜12の一部がエミッタ開口部14から露されていると、後述するエピタキシャル成長時に、そのベース電極形成膜12の露部からエピタキシャル層が成長してしまう不具合が生じる。このため、絶縁膜17の厚さを確保するために、ある程度の高い熱処理が必要となるが、熱処理温度が高くなると、既に基板1に形成されてい

るnMISQnのソースおよびドレイン用のn型の半導体領域7の不純物が拡散されてしまう場合がある。これに対して、本実施の形態では、前記図3および図4で説明したように、ベース電極形成膜12の上部にホウ素をイオン注入したことにより、この熱処理に際してエミッタ開口部14から露出するベース電極形成膜12の肩部で増速酸化が生じる結果、その肩部での酸化レートが速くなる。したがって、ベース電極形成膜12においてホウ素濃度の高いドーピング層では、絶縁膜17の厚さが35nm程度と厚くなるのに対して、ホウ素が充分に拡散されてない部分では絶縁膜17の厚さが10nm程度と薄くなる。すなわち、比較的低い熱処理温度でも、エミッタ開口部14から露出するベース電極形成膜12の肩部に充分な厚さの絶縁膜17を形成できる。本発明者らがSEM(走査型電子顕微鏡)で実際に撮影した画像によれば、ベース電極形成膜12の側壁部での酸化シリコン膜の厚さが、ホウ素が拡散されていない下部と、ホウ素が導入された上部とで差が生じていることが分かる。このように、ベース電極形成膜12の上部のホウ素の不純物濃度を下部よりも高くすることにより、ベース電極形成膜12の肩部の絶縁膜17を充分厚く形成することができる。

#### 【0040】

また、本発明者らが検討した技術では、保護膜の形成に際して、窒化シリコン膜のCVD工程とドライエッチング工程とが必要であり、工程が複雑である。これに対して、本実施の形態では、保護膜(絶縁膜17)を熱酸化工程のみで形成することができるので、工程の簡略化が可能となる。すなわち、半導体装置の製造時間の短縮を推進できる。また、半導体装置のコスト低減を推進できる。

#### 【0041】

また、本発明者らが検討した技術では、保護膜の形成に際して、窒化シリコン膜のドライエッチング工程が必要であることから、前記したように軽元素により半導体層1cにダメージが生じる場合があり、後述の選択エピタキシャル成長時にエピタキシャル成長膜の結晶性が劣化する問題がある。これに対して、本実施の形態では、この保護膜(絶縁膜17)を熱酸化処理で形成し、ドライエッチング処理を行わないで、この工程によって半導体層1cにダメージが生じることもない。したがって、後述の選択エピタキシャル成長時にエピタキシャル成長膜

の結晶性を向上させることができるので、バイポーラトランジスタの特性を向上させることができる。特に、ベースコレクタ間のリーク電流の発生を抑制または防止できるので、バイポーラトランジスタの待機時における消費電力を低下させることが可能となる。

#### 【0042】

また、この熱処理によってベース電極形成膜12の上部に導入されたホウ素がベース電極形成膜12中にある程度拡散する。ここでは、ホウ素は絶縁膜11までは達しない程度拡散する。ただし、上記したように本実施の形態では、增速酸化を利用してすることで、熱処理温度を低くすることができるので、この熱処理を行ったからといって、既に基板1に形成されているnMISQnのソースおよびドレイン用のn型の半導体領域7の不純物が拡散されてしまうことはない。すなわち、MIS側の不純物プロファイルの再編成を抑制または防止できるので、MISの電気的特性変動や劣化を抑制または防止することが可能となる。したがって、nMISQnの信頼性を確保できる。この効果は、基板1にpMISやCMIS(Complementary MIS)あるいは他の素子が形成される場合でも得られる。

#### 【0043】

次に、図11は図10に続く半導体装置の製造工程中の要部拡大断面図を示している。

#### 【0044】

ここでは、まず、例えば熱リン酸によりエミッタ開口部14の底部の窒化シリコン膜からなる絶縁膜11を除去する。この際、オーバーエッチング処理を施すことにより、図11に示すように、ベース電極形成膜12の端部の下側の絶縁膜11の一部分をエッチング除去してアンダーカット部18を形成する。すなわち、エミッタ開口部14内の絶縁膜11の側面が、ベース電極形成膜12の側面よりも後退するように絶縁膜11を等方的にエッチングする。これにより、エミッタ開口部(第1開口部)14の下部に、これにつながる幅広の第2開口部が設けられる。アンダーカット部18の横方向(半導体層1cの正面に沿う方向)へのエッチング量は、例えば60nm程度である。アンダーカット部18には、ベース電極形成膜12の端部下面の一部が露出されている。この熱リン酸によるウェ

ットエッティング処理において、半導体層1cの主面部は、酸化シリコン膜等からなる絶縁膜5により保護される。すなわち、このウェットエッティング処理において、窒化シリコン膜と酸化シリコン膜とのエッチレートの差は30程度であり、窒化シリコン膜のオーバーエッティング量が60nmであっても、絶縁膜5のケズレ量は2nm程度であり問題無い。

## 【0045】

続いて、希フッ酸を用いたウェットエッティング処理により絶縁膜5を除去する。ここで、絶縁膜17は、絶縁膜11と同じ酸化シリコン膜からなるが、絶縁膜17の厚さは、絶縁膜11よりも厚く設定されているので、上記希フッ酸によるウェットエッティング後も約4nm程度残存する。

## 【0046】

次いで、図12は図11に続く半導体装置の製造工程中の要部拡大断面図を示している。

## 【0047】

ここでは、まず、基板1に対して、高純度のH<sub>2</sub>パージ雰囲気の中で、例えば900℃、1分の熱処理を施すことによりエミッタ開口部14内の半導体層1c上の自然酸化膜を除去した後、例えばLPCVD(Low Pressure-Chemical Vapour Deposition)法により、650℃～800℃程度の温度において、例えば厚さ70nm程度のエピタキシャル層19を半導体層1c上に選択的に成長させる。エピタキシャル層19は、例えばi(イントリンシック)-SiGe、p型のSiGeおよびi(イントリンシック)-Siを下層から順に積み重ねてなり、n<sub>p</sub>n型のバイポーラトランジスタのベース領域を形成する。p型のSiGeにはホウ素が導入されてなり、その濃度は、例えば $2 \times 10^{19} \text{ cm}^{-3}$ 程度である。このエピタキシャル層19は、アンダーカット部18をも埋め込むように形成されており、そのアンダーカット部18においてベース電極形成膜12とも接合されている。この選択SiGe成長時においては、原料ガスとして、例えばSiH<sub>2</sub>Cl<sub>2</sub>、SiH<sub>4</sub>、HCl、GeH<sub>4</sub>、B<sub>2</sub>H<sub>6</sub>、H<sub>2</sub>等が用いられる。この熱処理中に、ベース電極形成膜12中は更に拡散し、絶縁膜11まで到達する。これにより、ベース電極形成膜12は、低抵抗なp型の多結晶シリコン膜で形成されるこ

とになる。なお、ベース電極形成膜12のホウ素の分布は、上部側が濃く、半導体層1cに近づくにつれて次第に薄くなっている。

#### 【0048】

ところで、本発明者らが検討した技術では、SiGe層をエピタキシャル成長によって選択的に成長させる際に、SiGe層を成長させない部分に保護膜として窒化シリコン膜を設ける構成となっている。これに対して、本実施の形態では、SiGe層の保護膜として酸化シリコン膜を設ける構成となっている。

#### 【0049】

ここで、図13は、SiGe層をエピタキシャル成長させた際の各種下地層に対するSiGe層の成長レートの差を示している。この図13から分かるように、酸化シリコン膜上には、SiGe層がほとんど成長しない。すなわち、酸化シリコン膜上でのSiGe層の成長レートは零(0)である。したがって、酸化シリコン膜を保護膜とする方が、窒化シリコン膜を保護膜とするよりもSiGeの選択成長性の上で優れていることが分かる。

#### 【0050】

実際、SiGe層に対する保護膜として窒化シリコン膜を用いる場合は、SiGe層の選択成長に際して、SiGe成長の選択性を確保するために、HClガス流量を増加させることが行われている。しかし、HClガス流量の増大は、SiGe層のシリコン層での成長レートをも低下させてしまうので、結果として、SiGe成長時の熱処理量の増大につながる。SiGe成長時の熱処理量の増大は、膜中のGeやホウ素等のような不純物の拡散を助長し、バイポーラトランジスタの遮断周波数特性等のような電気的特性の低下の原因となる。

#### 【0051】

これに対して、本実施の形態では、SiGe層の選択成長に際して、酸化シリコン膜を保護膜とすることにより、図13に示したように、SiGe層の選択性を充分に確保することができるので、HClガス流量を低減できる。このため、SiGe層の成長の低温化を実現することができる。したがって、上記のようにMIS側の不純物プロファイルの再編成を抑制または防止できるので、MISの電気的特性変動や劣化を抑制または防止することが可能となる。

## 【0052】

ただし、エピタキシャル層19の主要素は、SiGeに限定されるものではなく種々変更可能であり、例えば上記Siまたはシリコンーゲルマニウムーカーボン(SiGeC)を用いても良い。Siとする場合は、i(イントリンシック)-Si、p型のSiおよびi(イントリンシック)-Siを下層から順に成長させてエピタキシャル層19を形成する。また、SiGeCとする場合は、i(イントリンシック)-SiGeC、p型のSiGeCおよびi(イントリンシック)-Siを下層から順に成長させてエピタキシャル層19を形成する。エピタキシャル層19の主要素をSiGe層とした場合には、Siとした場合に比べて、遮断周波数特性(fT)および電流増幅率(hFE)を向上させることができる。また、Siとした場合には温度特性の向上が図れる。さらに、SiGeCとした場合には、SiGeとした場合に比べてGeの濃度を増加させることができるので、遮断周波数特性および電流増幅率をさらに向上させることができる。

## 【0053】

次いで、図14は図12に続く半導体装置の製造工程中の要部拡大断面図を示している。ここでは、半導体層1c上に薄い絶縁膜をCVD法等で形成した後、絶縁膜13上にエミッタ開口部14が露出され、それ以外を覆うようなレジスト膜を形成し、上記SIC領域16を形成するための2回目のイオン注入を行う。この際のイオン注入条件は、例えばリンを70KeV、 $2 \times 10^{12} \text{ cm}^{-2}$ 程度の条件とする。このイオン注入では、リンが、半導体層1cと、エピタキシャル層19のi-SiGe層に打ち込まれるようにする。

## 【0054】

次に、図15は図14に続く半導体装置の製造工程中の要部拡大断面図を示している。

## 【0055】

ここでは、例えば希フッ酸を用いたウェットエッチングにより、エミッタ開口部14の側壁に形成された絶縁膜17(図14等参照)を除去する。上記したように絶縁膜17は、ベース電極形成膜12の下部(エピタキシャル層19側)から上部角(絶縁膜13側)に向かうにつれて厚くなるように形成されている。こ

のため、この絶縁膜17を除去することにより、エミッタ開口部14内のベース電極形成膜12の開口幅は下部から上部に向かうにつれて幅広となる。また、そのベース電極形成膜12の側壁の上部角にはラウンドテーパが形成される。さらに、このエッチングに際して、ベース電極形成膜12上の絶縁膜13も絶縁膜17と同様に酸化シリコン膜からなるので、絶縁膜13の表層部も、例えば30nm程度エッチングされる。図15中の破線は、このエッチングされた部分を示している。このため、エミッタ開口部14内の開口幅は底部から上方に向かって広がるようになる。例えばエミッタ開口部14内でのベース電極形成膜12での開口幅L3が、例えば350nm程度とすると、ベース電極形成膜12の上部の前記ドーピング層での開口幅L4は、例えば375nm程度と見積もられる。さらに、エミッタ開口部14内の絶縁膜13部分での開口幅L5は、例えば400nm程度となる。

#### 【0056】

次いで、図16は図15に続く半導体装置の製造工程中の要部拡大断面図を示している。ここでは、基板1の半導体層1cの主面上に、例えば約30nm厚の酸化シリコン膜からなる絶縁膜（第3酸化シリコン膜）20と、例えば約80nm厚のリンドープの多結晶シリコン膜からなる導体膜（第1多結晶シリコン膜）21とを下層から順にCVD法により堆積する。この際、エミッタ開口部14から露出されるベース電極形成膜12の上部角にラウンドテーパが形成されていることにより、その角部を絶縁膜21によって良好に被覆することができる。すなわち、その角部に成膜される絶縁膜21の厚さを充分に確保できる。これは、仮に、この角部が絶縁膜20で充分に確保されていないと、その部分を通じてベース電極と後述するエミッタ電極とが導通してしまうので、それを防ぐためである。このように、導体膜21は、半導体膜であるシリコン膜で構成される。

#### 【0057】

次いで、図17は図16に続く半導体装置の製造工程中の要部拡大断面図を示している。

#### 【0058】

ここでは、まず、導体膜21をドライエッチング法によりエッチバックする。

この際、 $\text{Cl}_2$ ガスを、例えば60Wの比較的パワーの小さい条件でエッティングが行われる。エッティングガス中には、水素等のような軽元素が無く、酸化膜のドライエッティングのようなハイパワーが用いられていない。これらにより、エミッタ開口部の側壁に窒化シリコン膜からなる側壁膜を形成する技術において問題となっている側壁膜形成時の下地基板へのダメージの問題を回避できる。

#### 【0059】

このような導体膜21のエッチバック処理の後、基板1に対して、希フッ酸によるウェットエッティング処理を施すことにより、絶縁膜20を除去し、エミッタ開口部14の底部から改めてエピタキシャル層19を露出させる。この際のエッティングはウェットエッティング処理なのでエピタキシャル層19にダメージを与えることもない。また、この際、エミッタ開口部14の側面の絶縁膜20は、導体膜21に覆われているのでダメージを受けず、また、除去されずに残される。この段階でのエミッタ開口部14内の開口幅L6は200nm程度、開口幅L7は225nm程度、開口幅L8は250nm程度と見積もられる。

#### 【0060】

次に、図18(a), (b)は図17に続く半導体装置の製造工程中の要部断面図を示し、図19は図18(a)の要部拡大断面図を示している。

#### 【0061】

ここでは、まず、例えば約200nm厚のリンドープの多結晶シリコン膜からなる導体膜(第2多結晶シリコン膜)22をCVD法により基板1の主面側に堆積した後、その導体膜22をレジスト膜を用いたフォトリソグラフィ技術およびドライエッティング法によりパターニングする。これにより、エミッタ電極23を形成する。エミッタ電極23は、上記導体膜21, 22を有している。エミッタ電極23の導体膜22は、エミッタ開口部14の底部においてエピタキシャル層19(すなわち、ベース領域)と接触している。続いて、同レジスト膜を用いて絶縁膜13もエッティングし、その下層のベース電極形成膜12を露出させる。この段階では、図19に示すように、エミッタ電極23の導体膜22のパターン側面と絶縁膜13の側面とがほぼ一致している。このように導体膜22は、半導体膜であるシリコン膜で構成される。

## 【0062】

次いで、図20は図19に続く半導体装置の製造工程中の要部断面図を示している。ここでは、基板1に対してウェットエッチング処理を施すことにより、エミッタ電極23の近傍に残された絶縁膜13の側面がエミッタ電極23の側面よりも後退するように、すなわち、絶縁膜13の側面にアンダーカットが生じるよう、軽くエッチング除去する。これにより、エミッタ電極23の導体膜22のパターン側面が絶縁膜13の側面よりも外方に若干突出する。なお、図20の矢印は絶縁膜13の側面がエッチング処理によって除去され後退したことを示している。

## 【0063】

次いで、図21(a), (b)は図20に続く半導体装置の製造工程中の要部断面図を示し、図22は図21(a)の要部拡大断面図を示している。

## 【0064】

ここでは、まず、例えば900°C、30秒の熱処理を基板1に施すことにより、エミッタ電極23の導体膜22中のリンをエピタキシャル層19のi-Si層に拡散させて、エピタキシャル層19の上部（導体膜22と接触する領域）にエミッタ領域24を形成する。続いて、ベース電極形成膜12を、フォトリソグラフィ技術およびドライエッチング技術によってパターニングすることにより、ベース電極12Aをパターン形成する。

## 【0065】

ところで、バイポーラトランジスタの消費電力を低減するためには電流量を絞るためにエミッタ領域24の幅（エミッタ幅）を狭くする必要がある。しかし、エミッタ幅を狭くすると、後述のようにエミッタ開口内にボイドが発生する等の理由から、直列抵抗、特にエミッタ抵抗が高くなるため回路性能が低下してしまう場合がある。これに対して、本実施の形態では、エミッタ電極23を形成するための開口の断面形状が扇型形状になっている。すなわち、その開口の幅が、半導体層1cから遠ざかるにつれて広くなるような形状となっている。これにより、後述するように、エミッタ電極形成用の多結晶シリコン膜を、上記開口内にボイドを生じることなく良好に埋め込むことができる。したがって、エミッタ幅が狭

いままでも、エミッタ直列抵抗を低減することが可能となる。すなわち、低消費電力で、かつ、高性能なバイポーラトランジスタを実現することが可能となる。

#### 【0066】

次に、図23(a), (b)は図21に続く半導体装置の製造工程中の要部断面図を示し、図24は図23(a)の要部拡大断面図を示している。ここでは、絶縁膜4の一部をエッチング除去することにより、 $n^+$ 型のコレクタ引出領域3c、pウエル引出領域6b、n型の半導体領域7およびゲート電極9の上面を露出させた後、基板1の半導体層1cの主面上に、例えば約40nm厚のチタン(Ti)またはコバルト(Co)等からなる導体膜25をスパッタリング法により堆積する。この際、スパッタリング法は指向性が強いので、導体膜25は、基板1上の各部の側面には被着されずらい。特に、本実施の形態では、絶縁膜13の側面を若干アンダーカットしており、エミッタ電極24の両端が底となるので、導体膜25が絶縁膜13の側面に被着されない。したがって、エミッタ電極24とベース電極12Aとが導体膜25を通じてつながらないようにできる。この絶縁膜13の側面を後退させておいてから金属膜を堆積し、さらに熱処理を施すことでシリサイドを形成する技術は、エピタキシャル層19を設けない他のバイポーラトランジスタを有する半導体装置の製造方法にも適用できる。

#### 【0067】

次いで、図25(a), (b)は図23に続く半導体装置の製造工程中の要部断面図を示し、図26は図25(a)の要部拡大断面図を示している。

#### 【0068】

ここでは、基板1に対して、例えば680°C、1分程度の熱処理を施すことにより、エミッタ電極23、ベース電極12A、 $n^+$ 型のコレクタ引出領域3c、pウエル引出領域6b、n型の半導体領域7およびゲート電極9の上部に、例えばチタンシリサイド( $TiSi_x$ )またはコバルトシリサイド( $CoSi_x$ )等からなるシリサイド層26を形成した後、未反応部分を除去する。シリサイド層26をコバルトシリサイドとした場合には、微細なパターンでもチタンシリサイドよりも抵抗を下げることができる。

#### 【0069】

次いで、図27(a), (b)は図25に続く半導体装置の製造工程中の要部断面図を示している。

#### 【0070】

ここでは、基板1の半導体層1cの主面上に、例えば酸化シリコン膜からなる絶縁膜をCVD法、塗布法またはその両方を用いて堆積した後、その絶縁膜の上面をCMP(Chemical Mechanical Polish)法等によって研磨することにより平坦化して層間絶縁膜27を形成する。続いて、その層間絶縁膜27にコンタクトホール28を穿孔する。続いて、例えばチタンと窒化チタンとの積層膜からなる相対的に薄い導体膜を堆積した後、その上に、例えばタンクステン膜からなる相対的に厚い導体膜を堆積し、これをCMP(Chemical Mechanical Polish)法等によって研磨することにより、コンタクトホール28内にプラグ29を形成する。その後、プラグ29および層間絶縁膜27上に、例えばアルミニウム、アルミニウム合金を主体とする導体膜をスパッタリング法等によって堆積した後、これをフォトリソグラフィ技術およびドライエッチング技術によってパターニングすることにより、第1層配線30を形成する。これ以降は、通常の半導体装置の製造工程を経てバイポーラトランジスタおよびMISを有する半導体装置を製造する。

#### 【0071】

図28はNPN型のバイポーラトランジスタの平面図を示している。エミッタ領域24の面積は、例えば $0.2 \times 1 \mu m^2$ 程度である。エミッタ領域24、n<sup>+</sup>型のコレクタ引出領域3cおよびベース電極12Aに達するコンタクトホール28は、いずれも平面長方形形状に形成されており、それらの長辺が平行になるように配置されている。

#### 【0072】

また、図29はNPN型のバイポーラトランジスタの不純物濃度分布を示している。さらに、図30はベース領域をイオン注入法でする一般的なバイポーラトランジスタの不純物濃度分布を比較のために示している。

#### 【0073】

ベース領域をエピタキシャル成長技術を用いて形成した場合の方が、ベース領

域をイオン注入法により形成した場合と比較して、より BOX 型（矩形状）に近い不純物プロファイルのベース領域を形成できるため、互いにトレードオフの関係にあり双方を上手く設定するのが難しいコレクターエミッタ間の耐圧（BV<sub>ceo</sub>）と遮断周波数（f<sub>TMAX</sub>）とを、双方がより良好になるように最適化することができる。また、ベース領域を SiGe 混晶に変更することにより、ナローベース型 ヘテロ接合バイポーラトランジスタを実現でき、高遮断周波数や高アーリー電圧と言った特性向上が可能となる。さらに、ベース領域を選択エピタキシャル成長技術により形成することにより、ベース電極 12A と半導体層 1c との接触領域（グラフトベース部）を自己整合的に形成できるので、リソグラフィー技術の限界の因らず、グラフトベース幅を縮小化でき、ベース抵抗（r<sub>bb'</sub>）とコレクターベース間寄生容量（C<sub>tc</sub>）とを低減することが可能となる。

#### 【0074】

また、本発明者らが検討した結果によれば、本実施の形態の方法に従って作製されたバイポーラトランジスタのエミッタ抵抗は、本発明者らが検討した技術のものと比較して低下していることが判明している。

#### 【0075】

本発明者らが検討した技術で作成されたバイポーラトランジスタの要部断面図を比較のため図 31 に示す。この検討技術において、ベース電極 50 の厚さが 200 nm、その上層の絶縁膜 51 の厚さが 200 nm、エミッタ開口部 52 の開口幅 L<sub>50</sub> が 200 nm であるなら、エミッタ開口部 52 のアスペクト比は 2 となる。このエミッタ開口部 52 内に埋め込まれるエミッタ電極形成用のリンドープ多結晶シリコン膜 53 のカバレッジは 0.7 程度しかないため、そのリンドープ多結晶シリコン膜 53 中にボイド 54 が発生する。本発明者らが実際に作成したサンプルの断面を SEM(走査型電子顕微鏡)で撮影した評価画像によれば、エミッタ開口部内のリンドープ多結晶シリコン膜中に 50 nm 程度の幅のボイドが発生していることが判明している。また、このようなボイド発生は、エミッタ開口部のアスペクト比が 1 以上で発生している場合がある。なお、エミッタ開口部 52 の側壁のサイドウォール 55 は、窒化シリコン膜からなる。

#### 【0076】

一方、本実施の形態で作成した場合、図17で示したように、開口幅L<sub>6</sub> = 200 nm、開口幅L<sub>7</sub> = 225 nm、開口幅L<sub>8</sub> = 250 nmと見積もられる。ここで、リンドープ多結晶シリコン膜の抵抗率ρ<sub>s</sub>として、両者の直列抵抗を比較する。上記検討技術では、直列抵抗R<sub>1</sub> = ρ<sub>s</sub> × (300 / 200 + 300 / 100) × Lで表すことができる。本実施の形態では、直列抵抗R<sub>2</sub> = ρ<sub>s</sub> × (200 / 250 + 100 / 225 + 100 / 200) × Lで表すことができる。したがって、R<sub>2</sub> / R<sub>1</sub> = 38%となり、検討技術と比して62%も、リンドープ多結晶シリコン部分での直列抵抗の低減が見込まれる。実際のエミッタ抵抗にはエミッタ電極/Si基板間界面での界面抵抗と、リンドープ多結晶シリコンとシリサイド層との接触抵抗とを合算すべきであるが、エミッタ面積 = 0.2 μm × 1.0 μm のバイポーラトランジスタのエミッタ抵抗R<sub>e</sub> の実測40 Ω中、リンドープ多結晶シリコン膜の抵抗率より、24 Ωはリンドープ多結晶シリコン膜中の寄生抵抗成分と考えられ、上記の改善幅は寄生抵抗成分の低減に有効と判断される。

#### 【0077】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

#### 【0078】

例えば前記実施の形態においては、配線を通常の配線構造とした場合について説明したが、これに限定されるものではなく、例えば絶縁膜に形成された溝内に導体膜を埋め込むことで配線またはプラグを形成する、いわゆるダシマン法またはデュアルダマシン法による配線構造としても良い。

#### 【0079】

また、前記実施の形態においては、基板としてSOI (Silicon On Insulator) 基板を用いた場合について説明したが、これに限定されるものではなく、例えば結晶成長法で製造された半導体インゴットを切り出して得られる通常の半導体基板（ウエハ）を用いても良い。また、その通常の半導体基板の表面にエピタキシャル層を設けた、いわゆるエピタキシャルウエハを用いても良い。

## 【0080】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である同一基板にNPN型のバイポーラトランジスタおよびMISが形成された半導体装置の製造方法に適用した場合について説明したが、それに限定されるものではなく種々適用可能である。例えばバイポーラトランジスタは有するがMISを有しない半導体装置、NPN型およびPNP型のバイポーラトランジスタを有する半導体装置、DRAM (Dynamic Random Access Memory) 、SRAM (Static Random Access Memory) またはフラッシュメモリ (EEPROM; Electric Erasable Programmable Read Only Memory) 等のようなメモリ回路を有する半導体装置、マイクロプロセッサ等のような論理回路を有する半導体装置あるいは上記メモリ回路と論理回路とを同一半導体基板に設けている混載型の半導体装置の製造方法にも適用できる。

## 【0081】

## 【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

## 【0082】

すなわち、ベース領域形成用のエピタキシャル層の選択成長時に保護膜として機能する絶縁膜を酸化処理によって形成することにより、エピタキシャル成長面に与えるダメージを小さくでき、その上に成長されるエピタキシャル層の結晶性等を向上させることができるので、バイポーラトランジスタの特性を向上させることが可能となる。

## 【図面の簡単な説明】

## 【図1】

(a)、(b)は、本発明の一実施の形態である半導体装置の製造工程における要部断面図である。

## 【図2】

図1 (a) の要部拡大断面図である。

## 【図3】

(a), (b) は、図1に続く半導体装置の製造工程における要部断面図である。

【図4】

図3 (a) の要部拡大断面図である。

【図5】

(a), (b) は、図3に続く半導体装置の製造工程における要部断面図である。

【図6】

図5 (a) の要部拡大断面図である。

【図7】

(a), (b) は図5に続く半導体装置の製造工程中の要部断面図である。

【図8】

(a), (b) は図7に続く半導体装置の製造工程中の要部断面図である。

【図9】

図8 (a) の要部拡大断面図である。

【図10】

図9に続く半導体装置の製造工程中の要部拡大断面図である。

【図11】

図10に続く半導体装置の製造工程中の要部拡大断面図である。

【図12】

図11に続く半導体装置の製造工程中の要部拡大断面図である。

【図13】

SiGe層をエピタキシャル成長させた際の各種下地層に対するSiGe層の成長レートの差を示すグラフ図である。

【図14】

図12に続く半導体装置の製造工程中の要部拡大断面図である。

【図15】

図14に続く半導体装置の製造工程中の要部拡大断面図である。

【図16】

図15に続く半導体装置の製造工程中の要部拡大断面図である。

【図17】

図16に続く半導体装置の製造工程中の要部拡大断面図である。

【図18】

(a), (b)は図17に続く半導体装置の製造工程中の要部断面図である。

【図19】

図18(a)の要部拡大断面図である。

【図20】

図19に続く半導体装置の製造工程中の要部断面図である。

【図21】

(a), (b)は図20に続く半導体装置の製造工程中の要部断面図である。

【図22】

図21(a)の要部拡大断面図である。

【図23】

(a), (b)は図21に続く半導体装置の製造工程中の要部断面図である。

【図24】

図23(a)の要部拡大断面図である。

【図25】

(a), (b)は図23に続く半導体装置の製造工程中の要部断面図である。

【図26】

図25(a)の要部拡大断面図である。

【図27】

(a), (b)は図25に続く半導体装置の製造工程中の要部断面図である。

【図28】

NPN型のバイポーラトランジスタの平面図である。

【図29】

実施の形態におけるNPN型のバイポーラトランジスタの不純物濃度分布を示すグラフ図である。

【図30】

ベース領域をイオン注入法でする一般的なバイポーラトランジスタの不純物濃度分布を示すグラフ図である。

## 【図31】

本発明者らが検討した技術で作成されたバイポーラトランジスタの要部断面図である。

## 【符号の説明】

- 1 半導体基板
- 1 a 支持基板
- 1 b 埋込絶縁層
- 1 c 半導体層
- 2 a 浅溝型の分離部
- 2 b 深い溝型の分離部
- 3 a  $n^+$ 型のコレクタ埋込領域
- 3 b n型のコレクタ領域
- 3 c  $n^+$ 型のコレクタ引出領域
- 4 絶縁膜
- 4 a 開口部
- 5 絶縁膜
- 6 a pウエル
- 6 b pウエル引出領域
- 7 n型の半導体領域
- 8 ゲート絶縁膜
- 9 ゲート電極
- 10 サイドウォール
- 11 絶縁膜（第1絶縁膜、窒化シリコン膜）
- 12 ベース電極形成膜
- 12 A ベース電極
- 13 絶縁膜（第1酸化シリコン膜、第2絶縁膜）
- 14 エミッタ開口部

15A フォトレジスト膜

16 SIC領域

17 絶縁膜（第2酸化シリコン膜）

18 アンダーカット部

19 エピタキシャル層

20 絶縁膜（第3酸化シリコン膜）

21 導体膜（第1多結晶シリコン膜）

22 導体膜（第2多結晶シリコン膜）

23 エミッタ電極

24 エミッタ領域

25 導体膜

26 シリサイド層

27 層間絶縁膜

28 コンタクトホール

29 プラグ

30 第1層配線

50 ベース電極

51 絶縁膜

52 エミッタ開口部

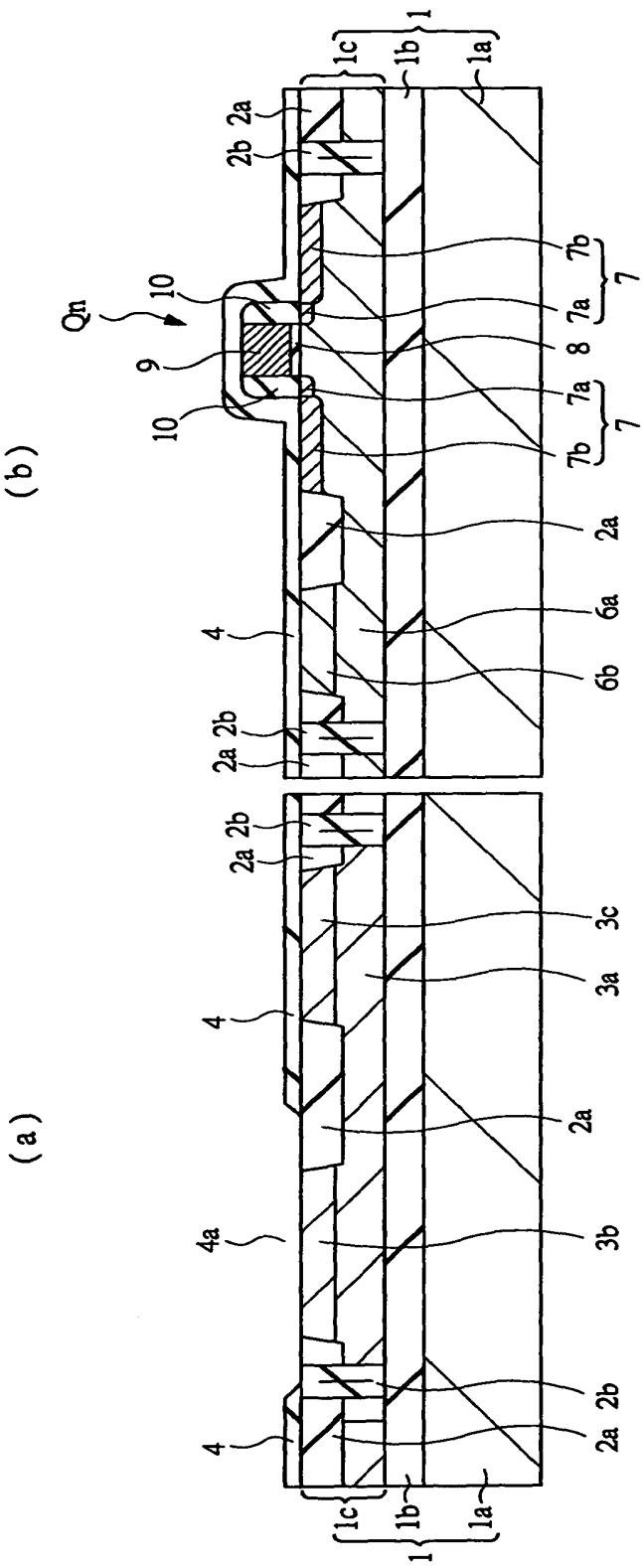
53 リンドープ多結晶シリコン膜

54 ボイド

【書類名】 図面

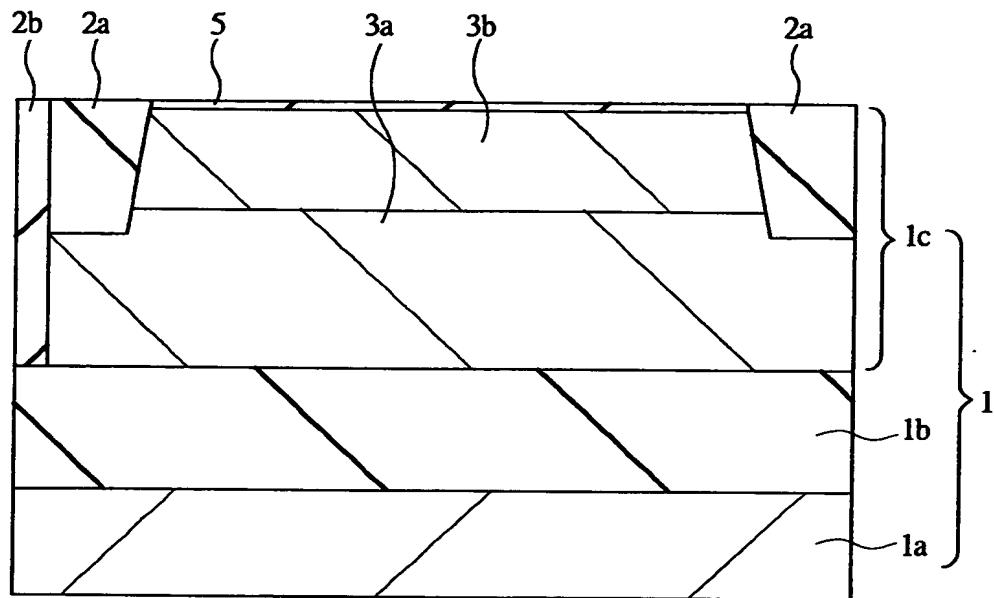
【図1】

図1

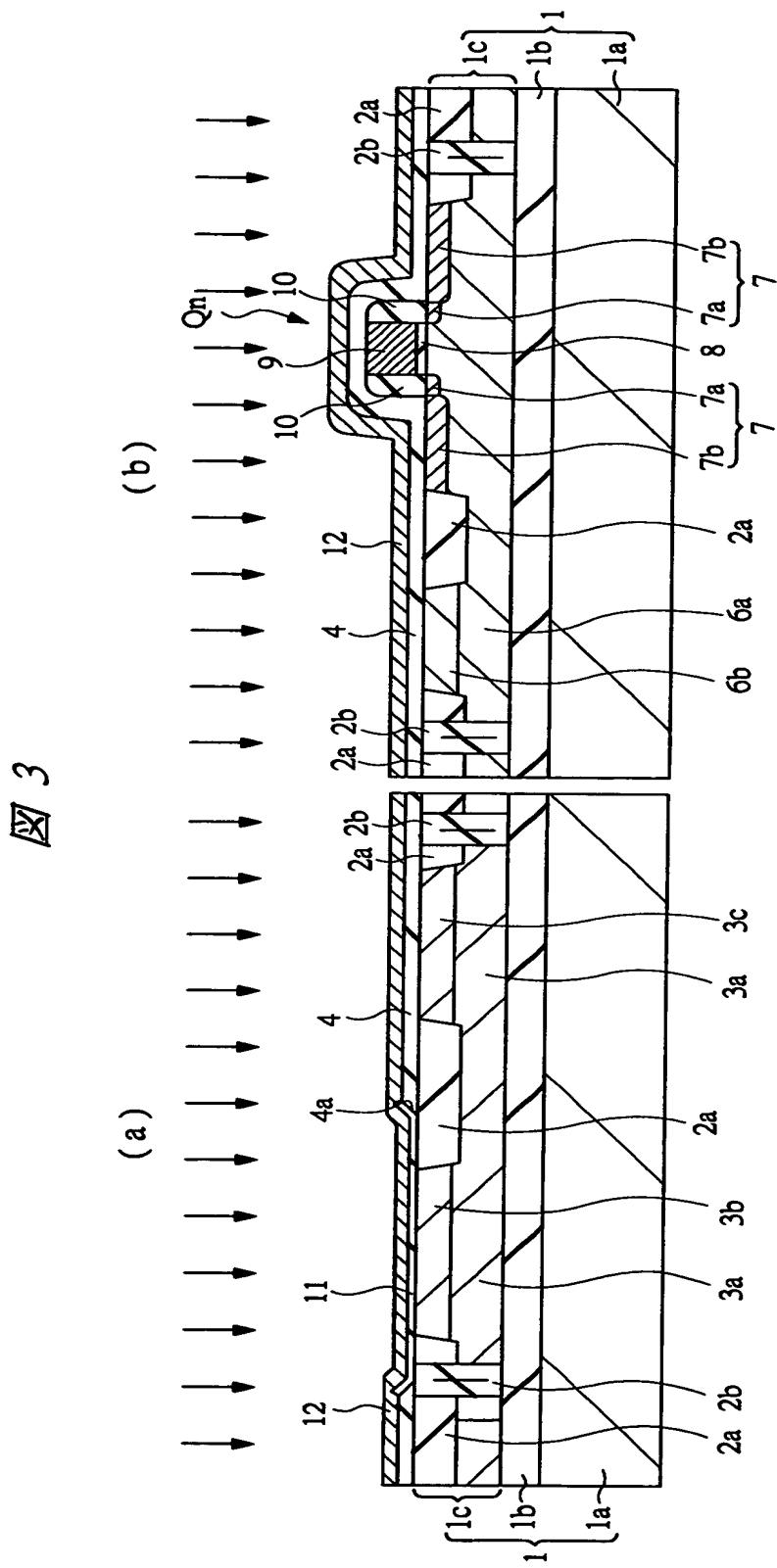


【図2】

図2

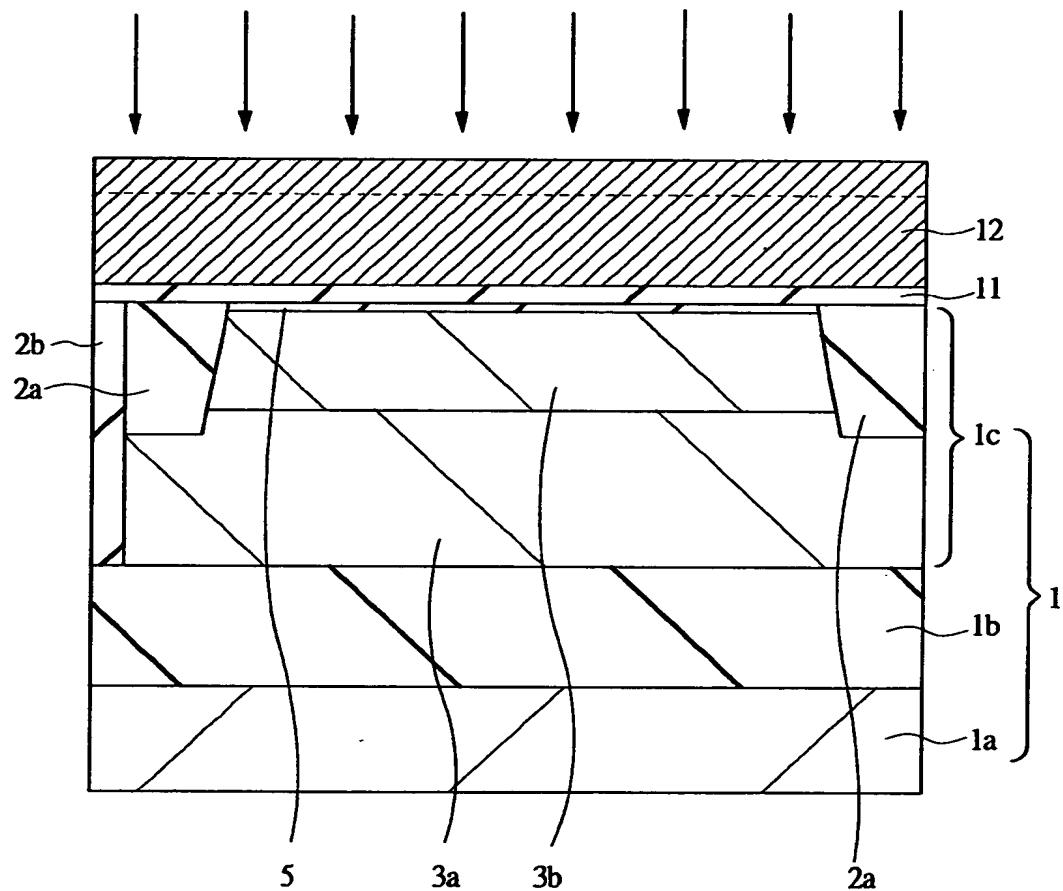


【図3】



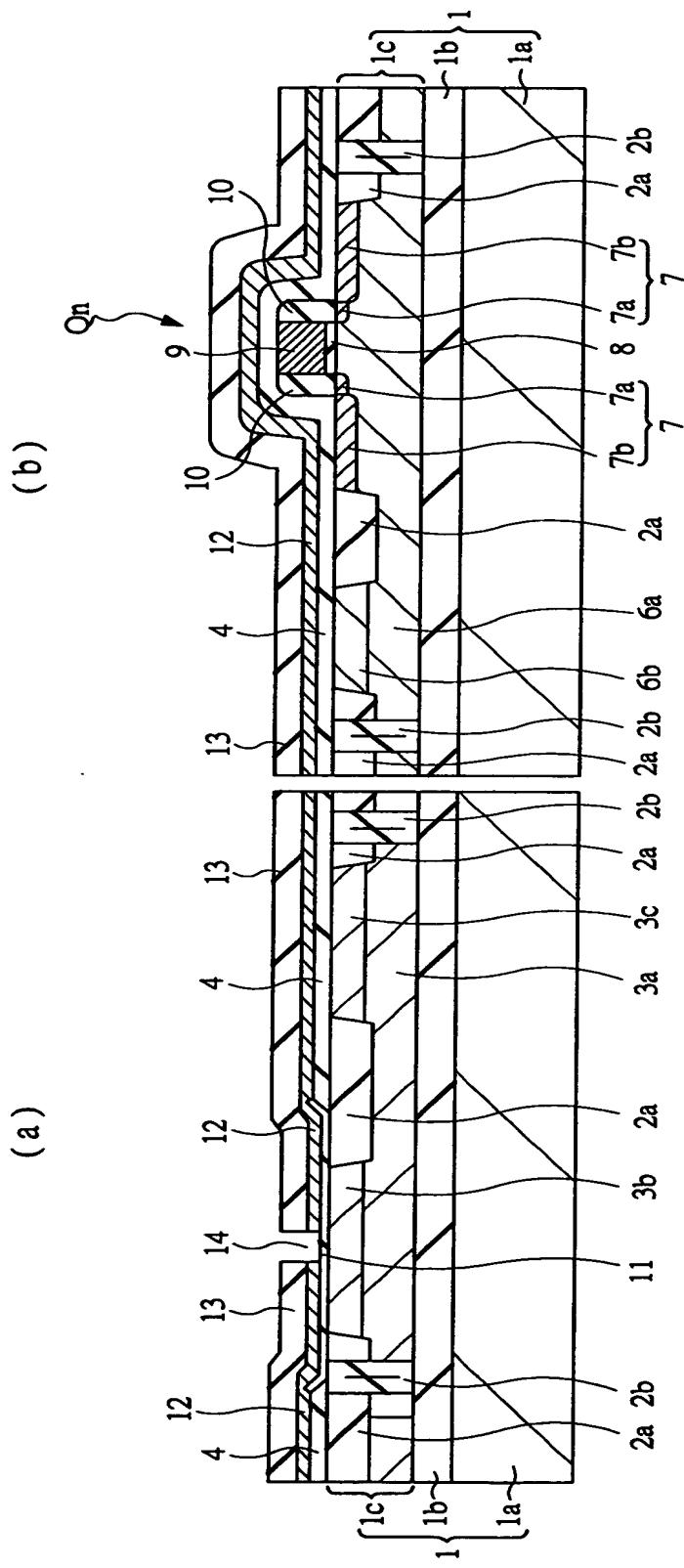
【図4】

図4



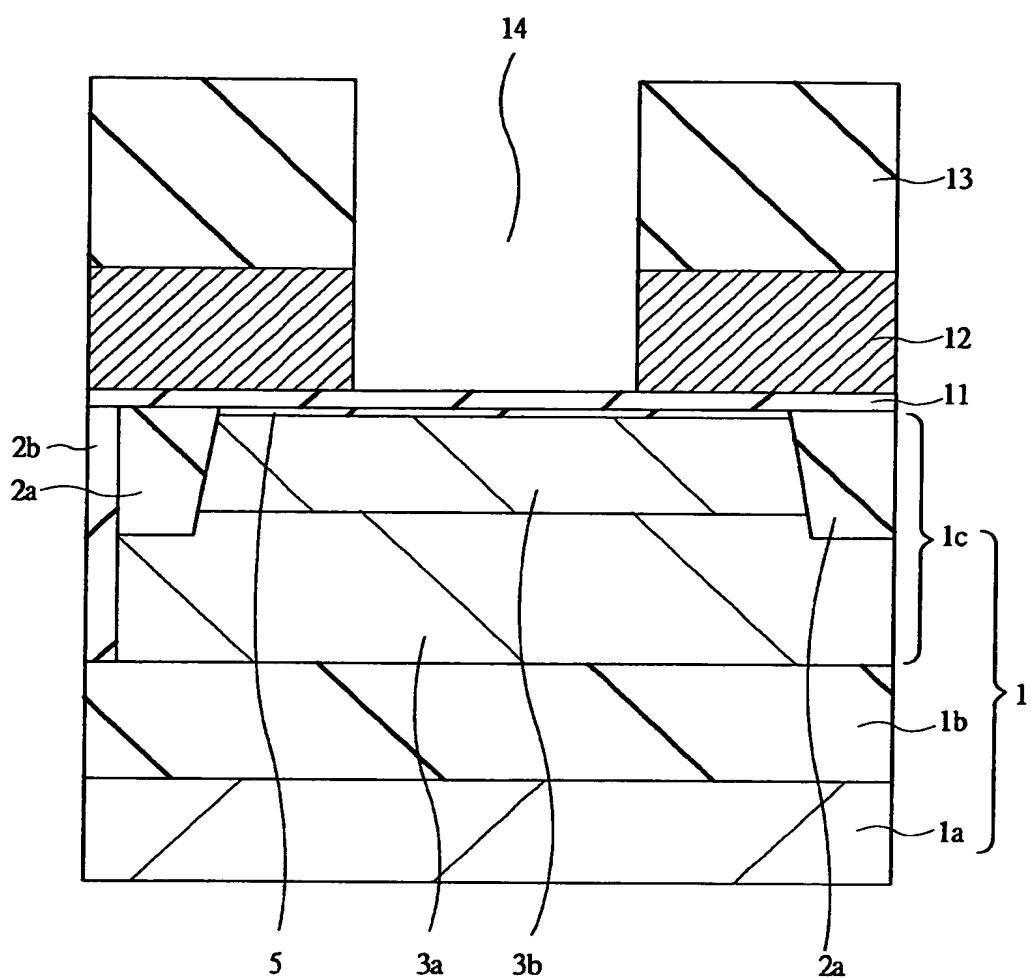
【図5】

図5

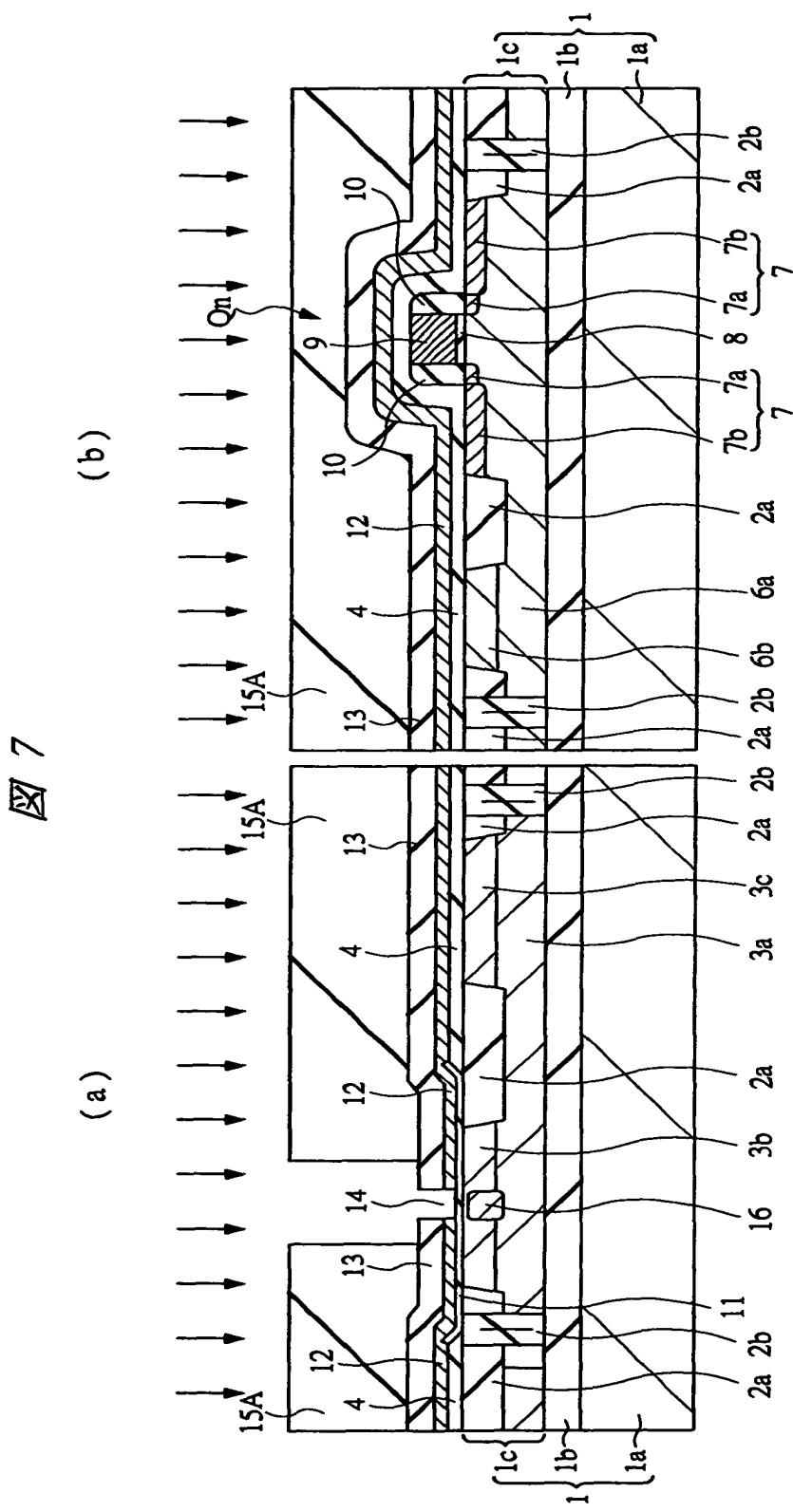


【図6】

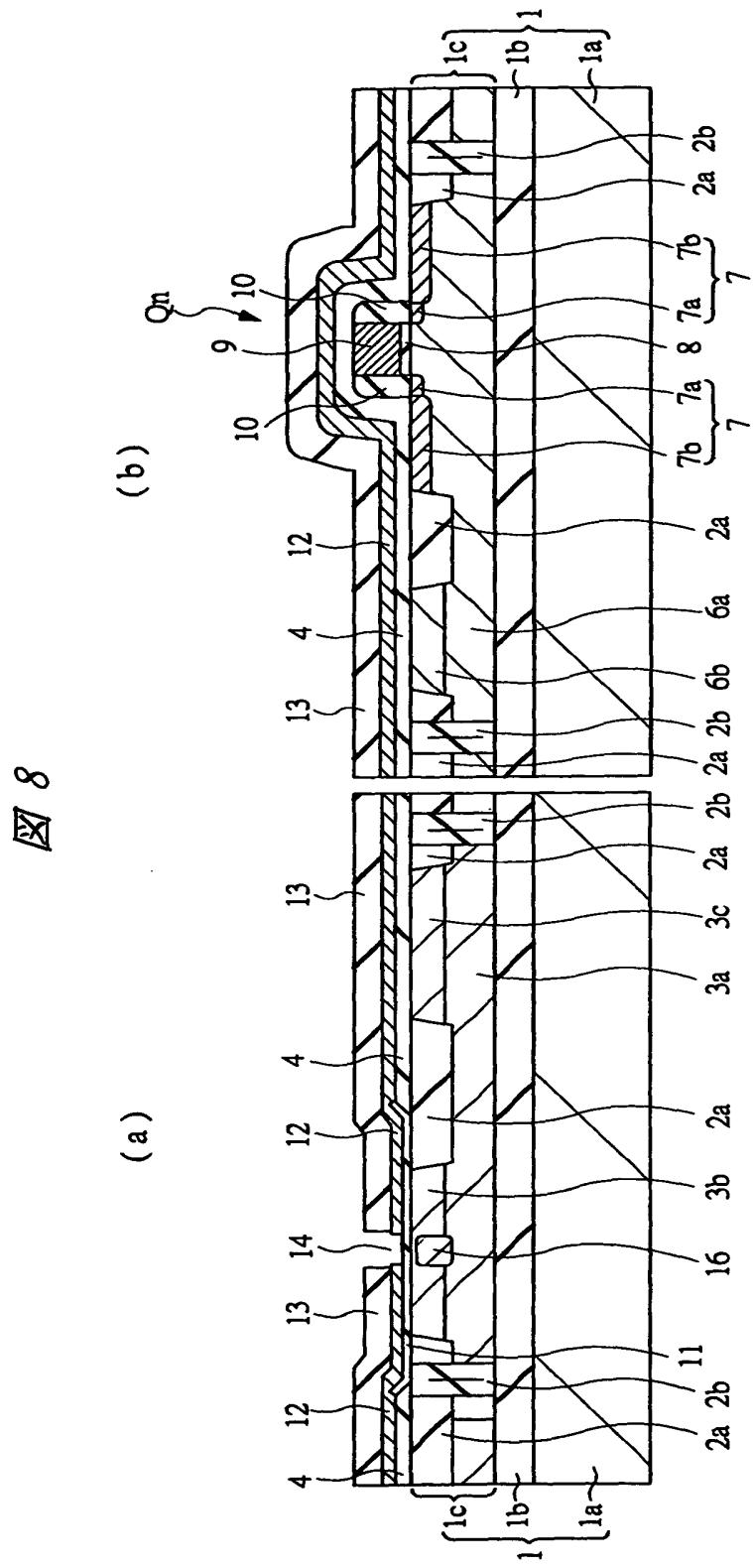
図 6



【図7】

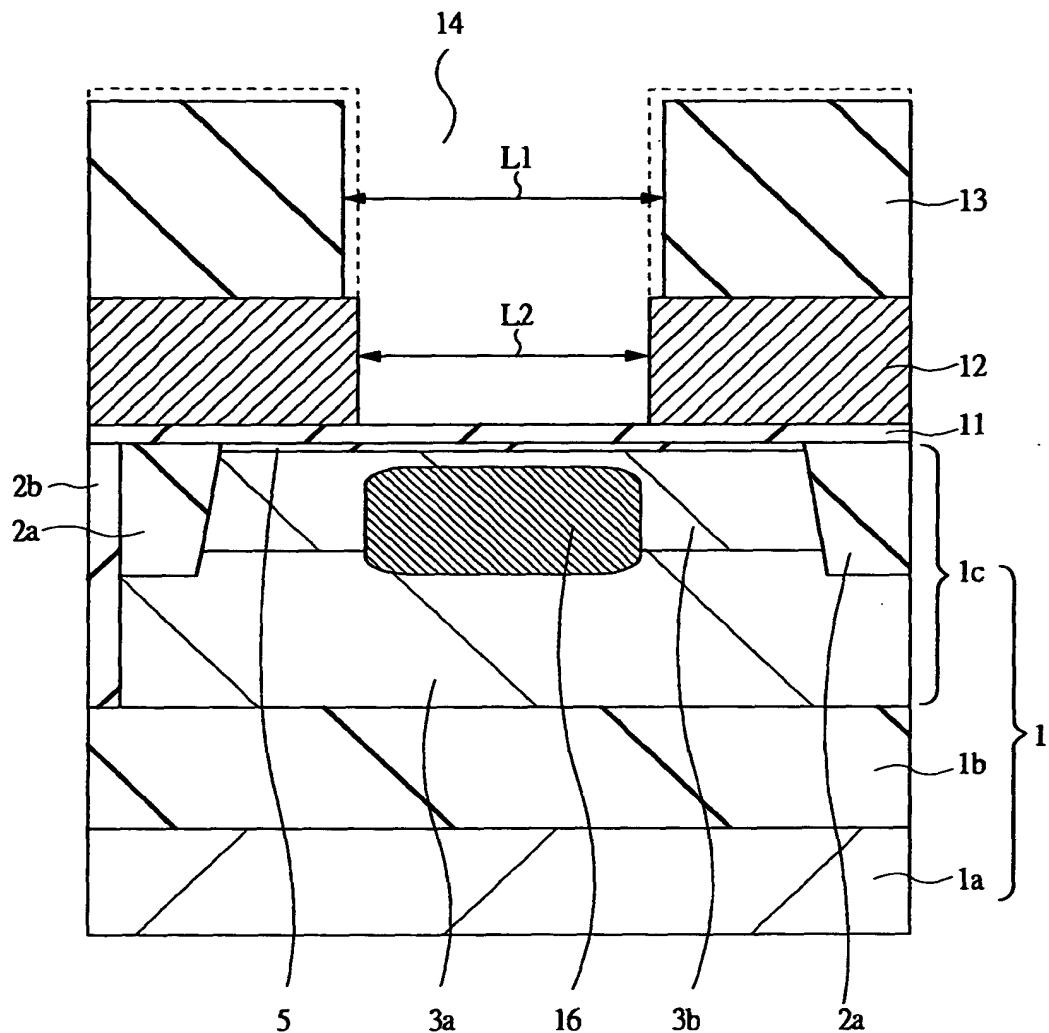


【図8】



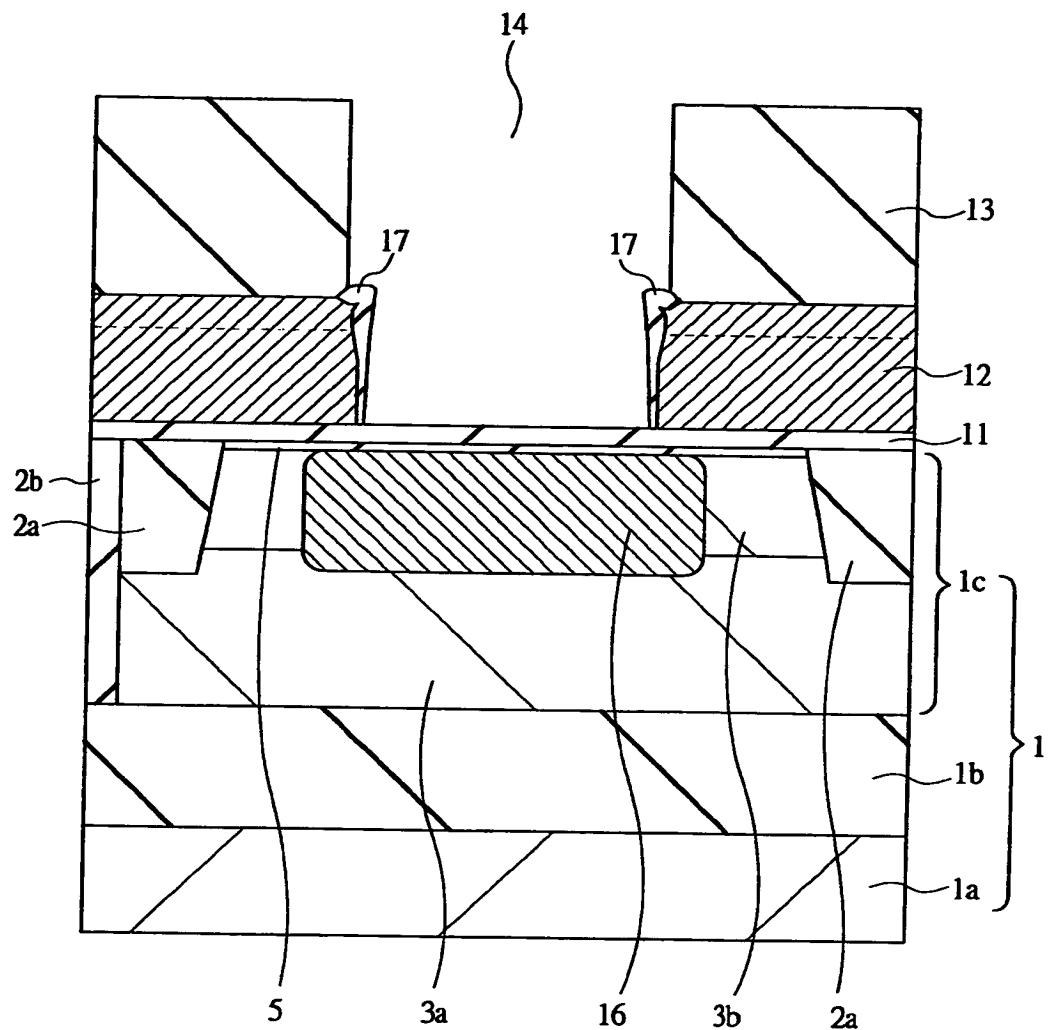
【図9】

図 9



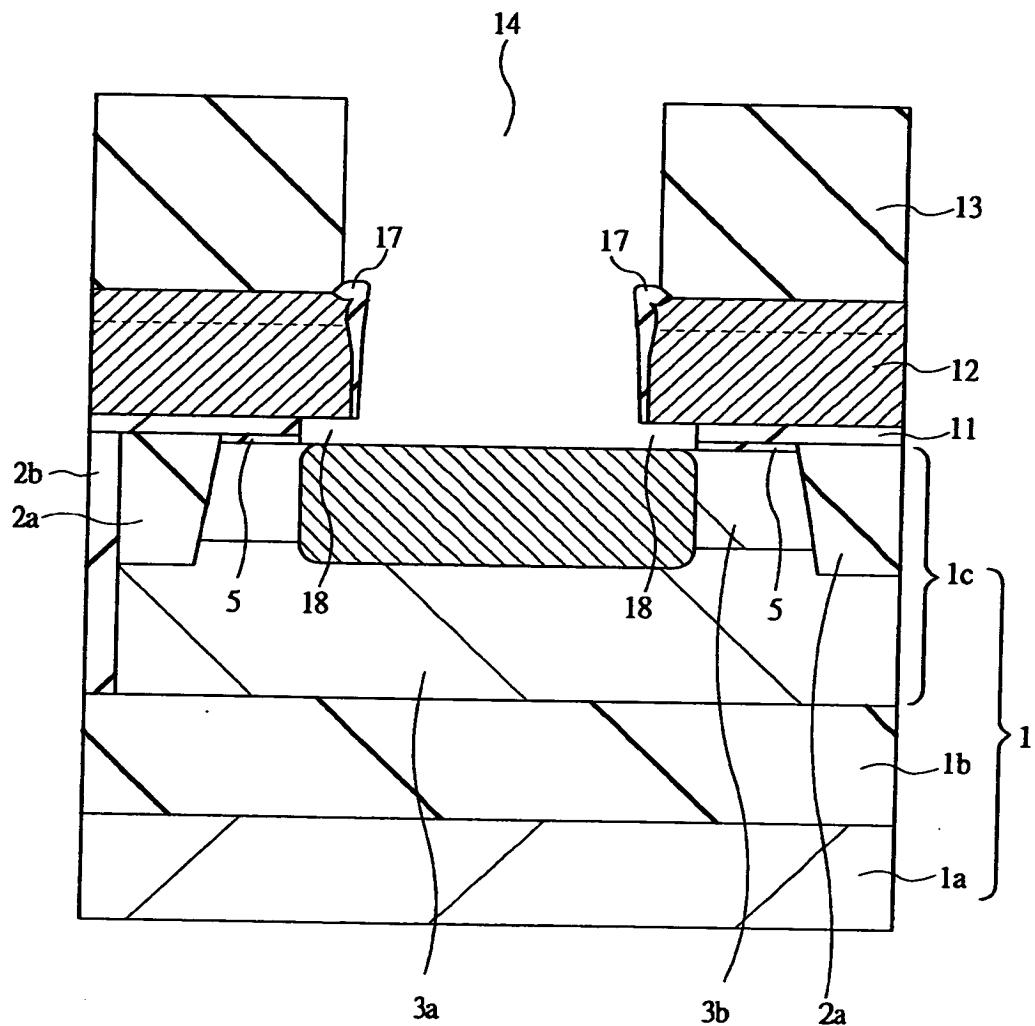
【図10】

図 10



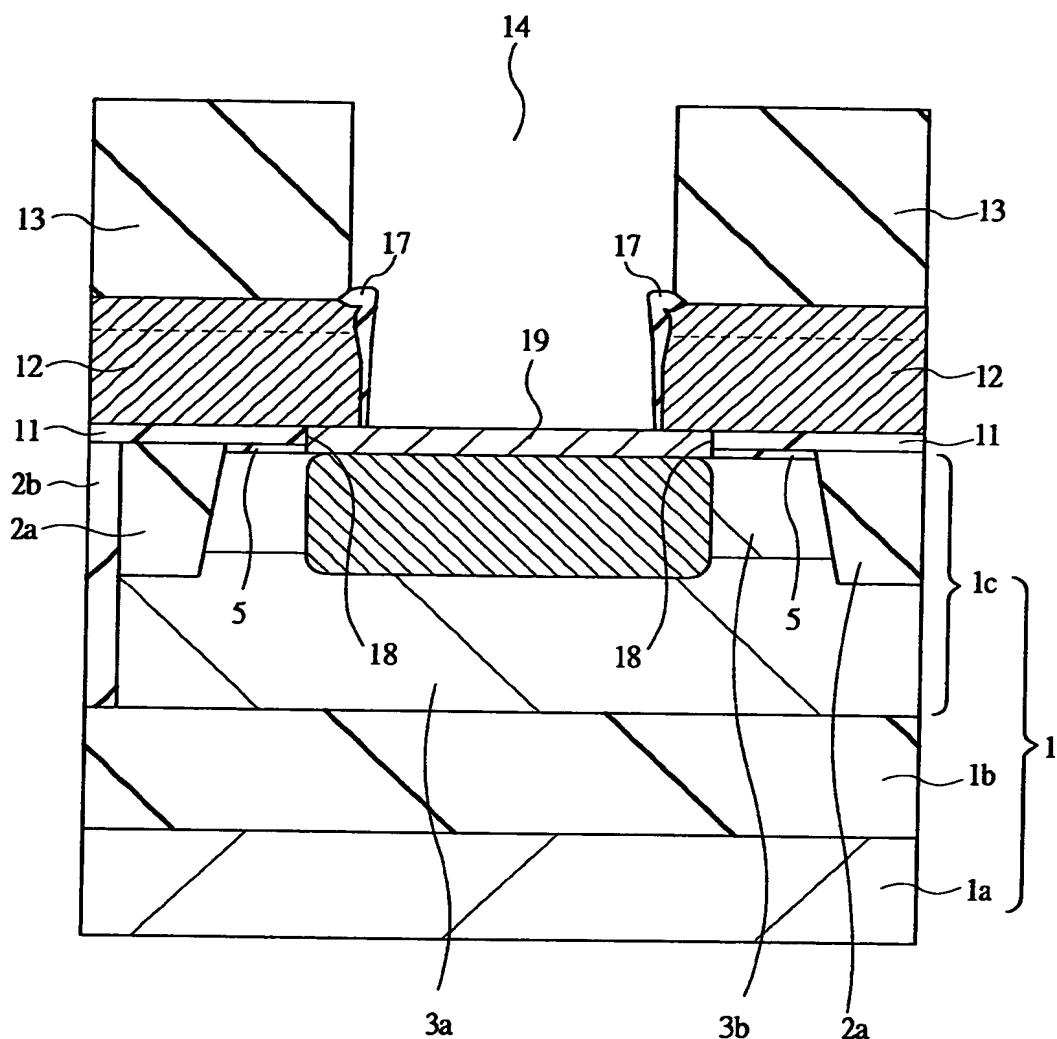
【図11】

図 11



【図12】

図 12

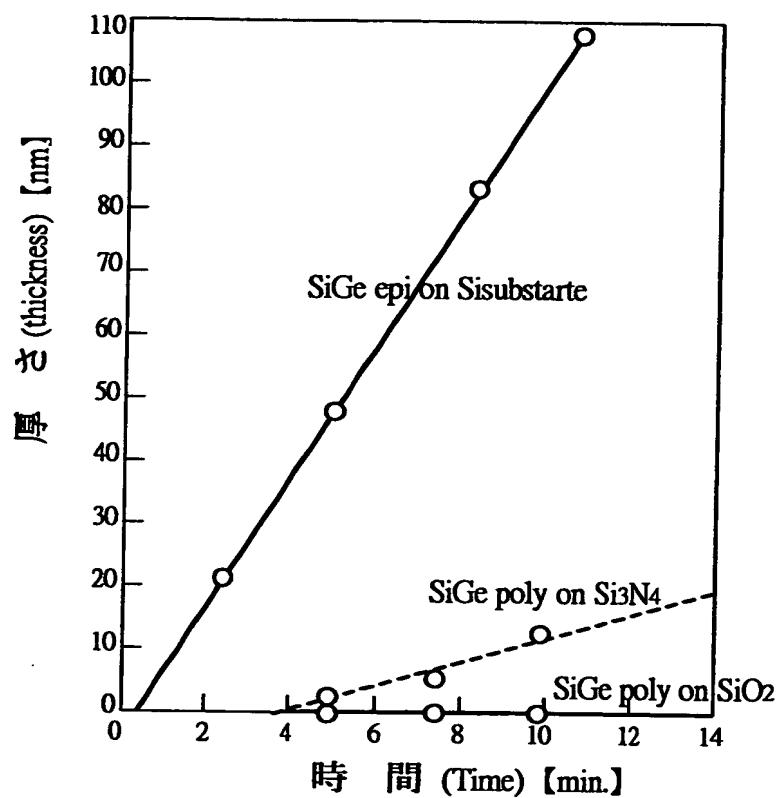


1: 半導体基板  
 11: 窒化シリコン膜  
 12: ベース電極形成膜  
 13: 酸化シリコン膜

14: エミッタ開口部  
 17: 絶縁膜  
 19: エピタキシャル層

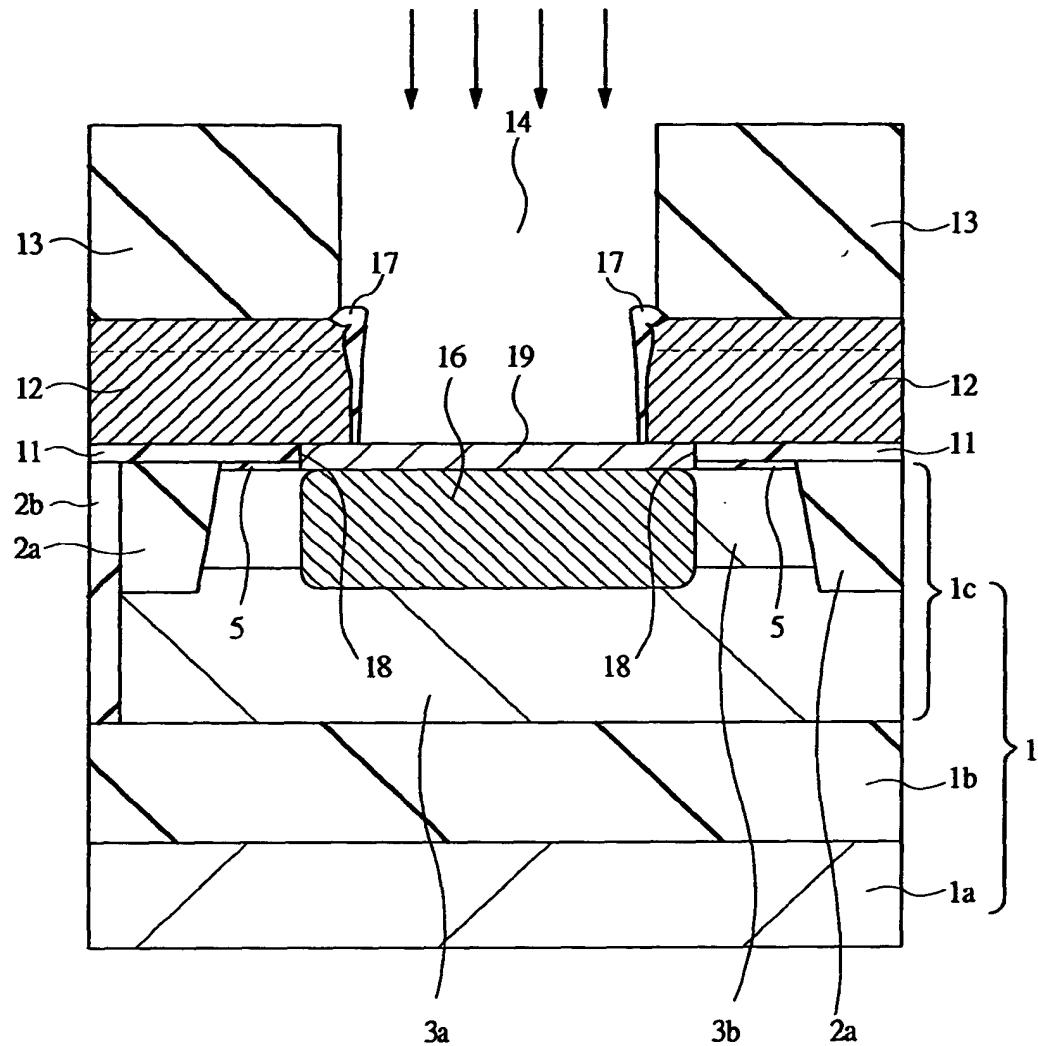
【図13】

図 13



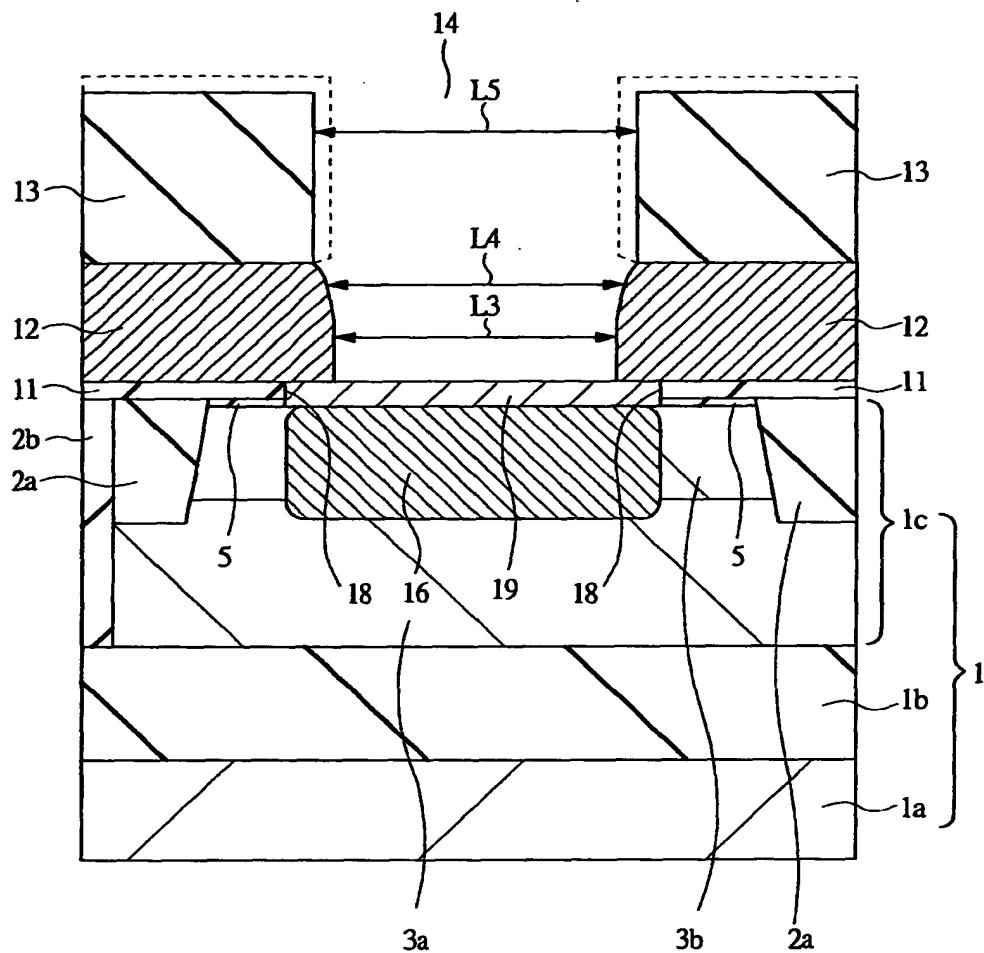
【図14】

図 14



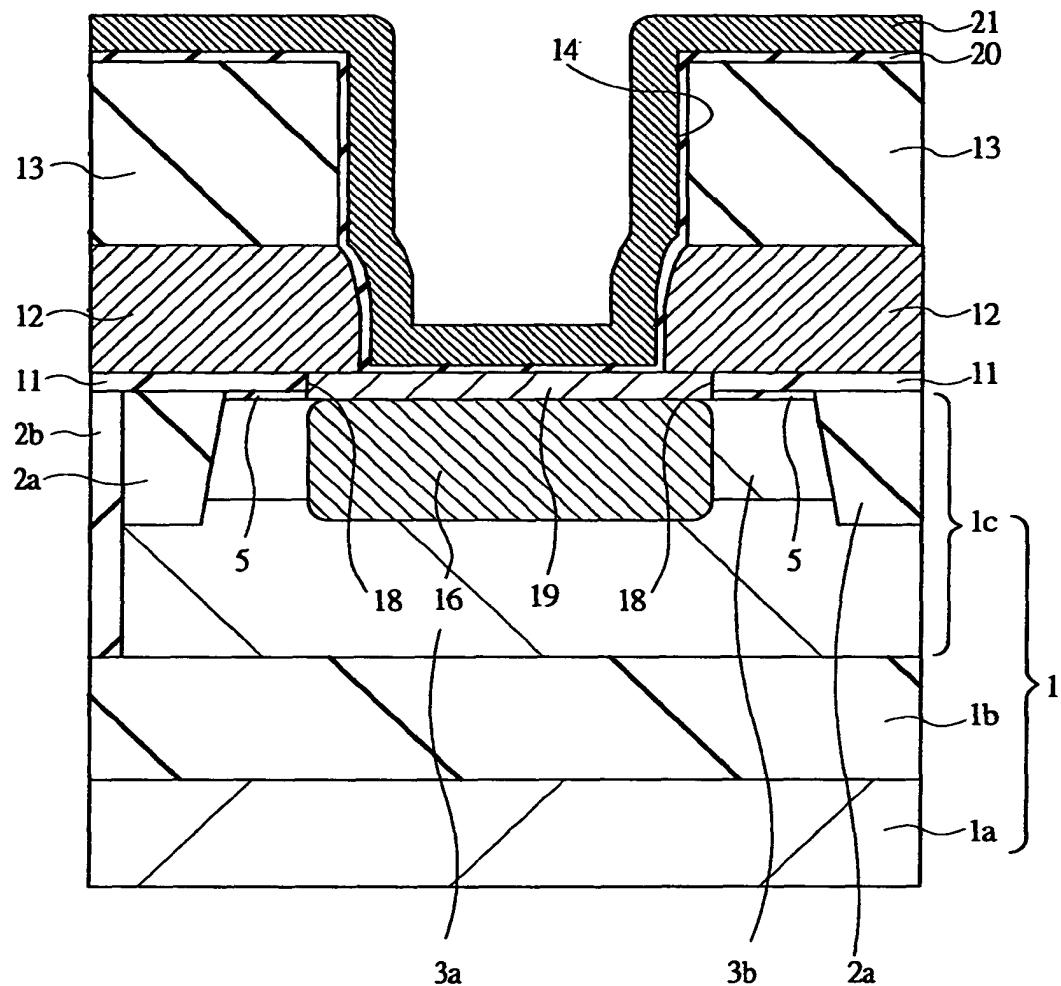
【図15】

図 15



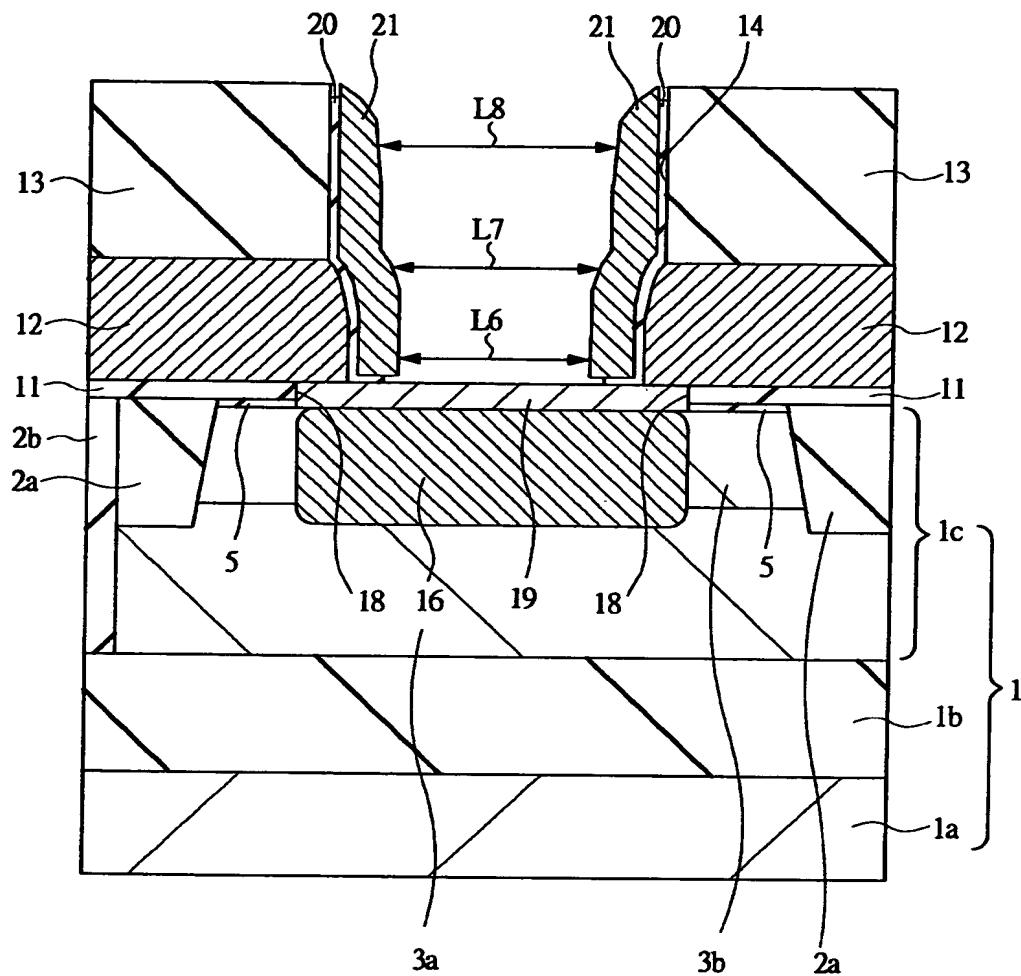
【図16】

図 16

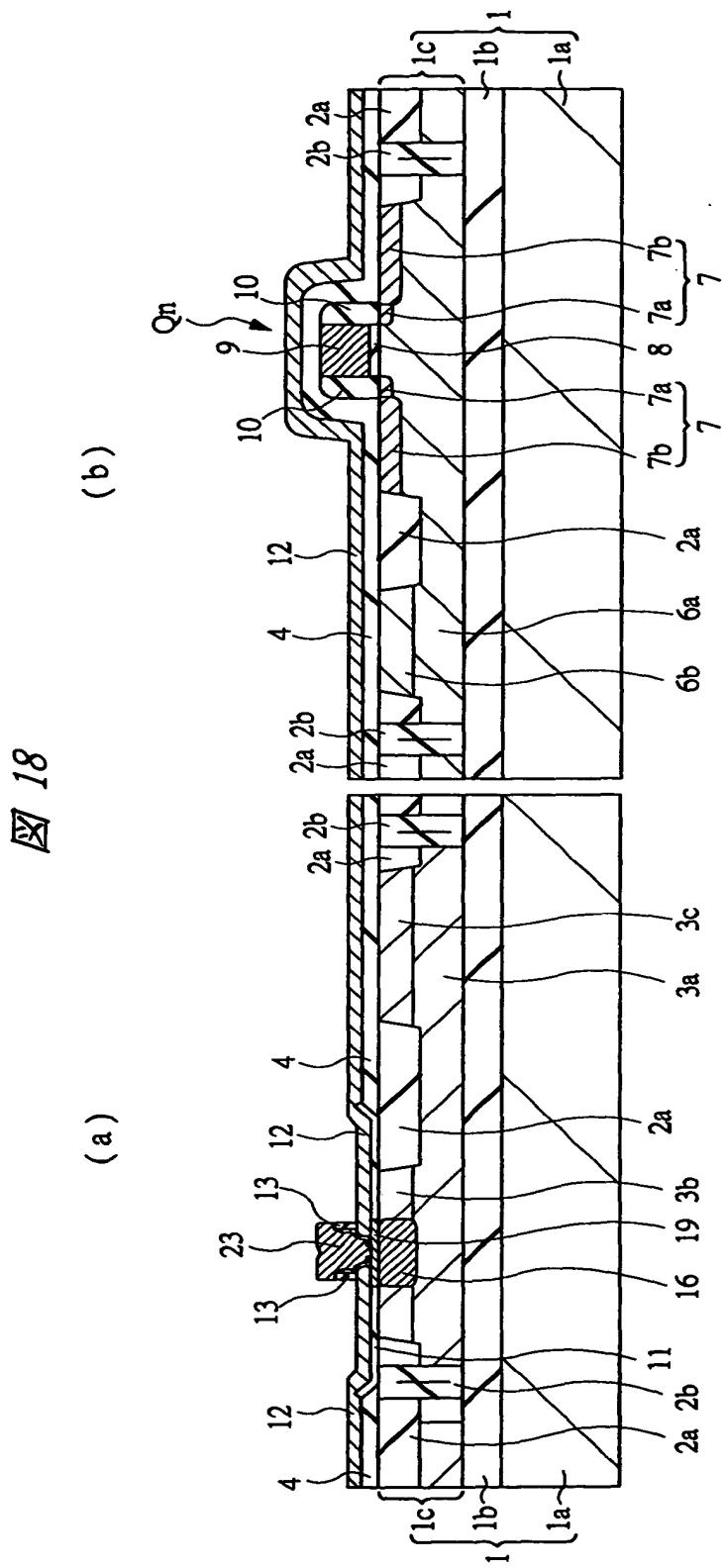


【図17】

図 17

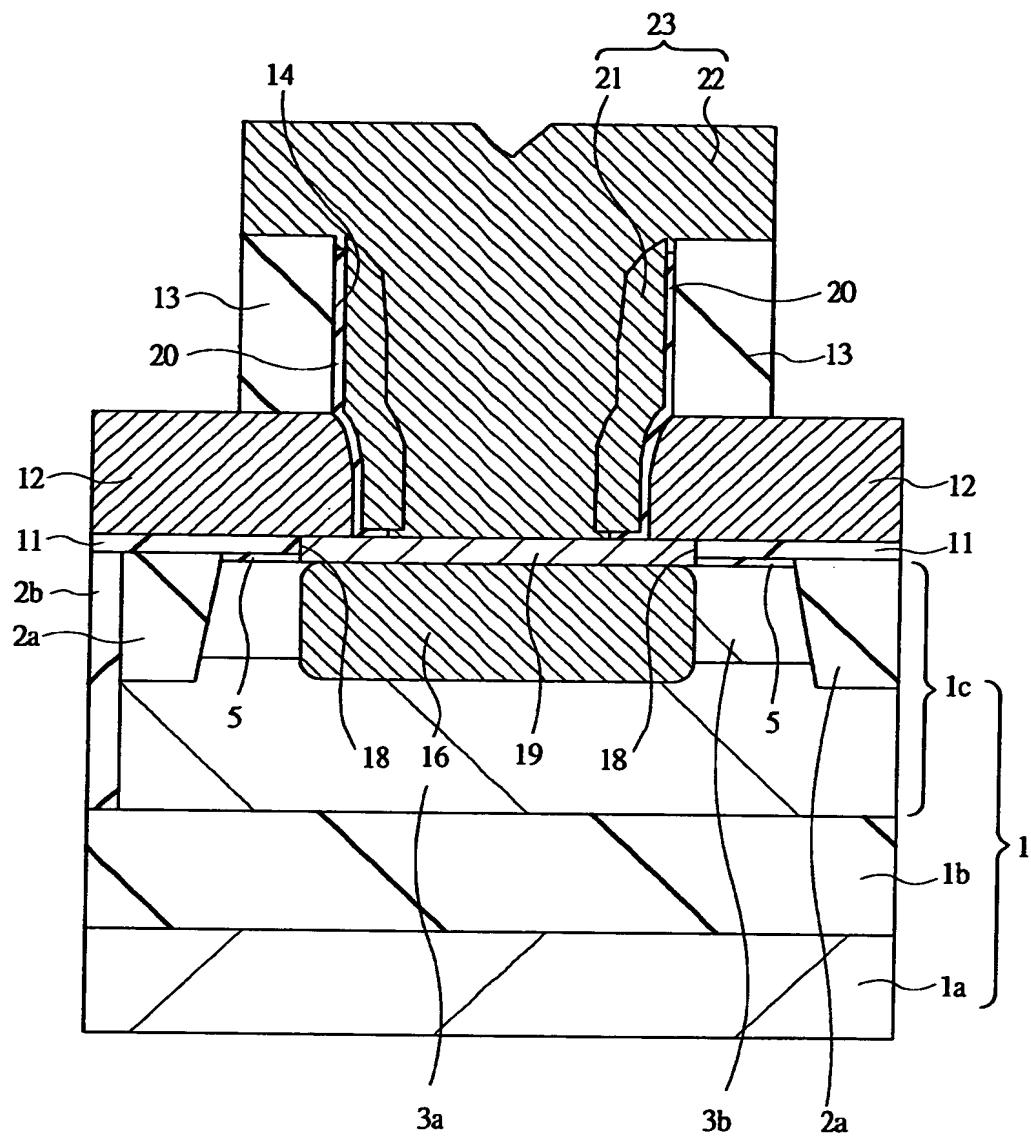


【図18】



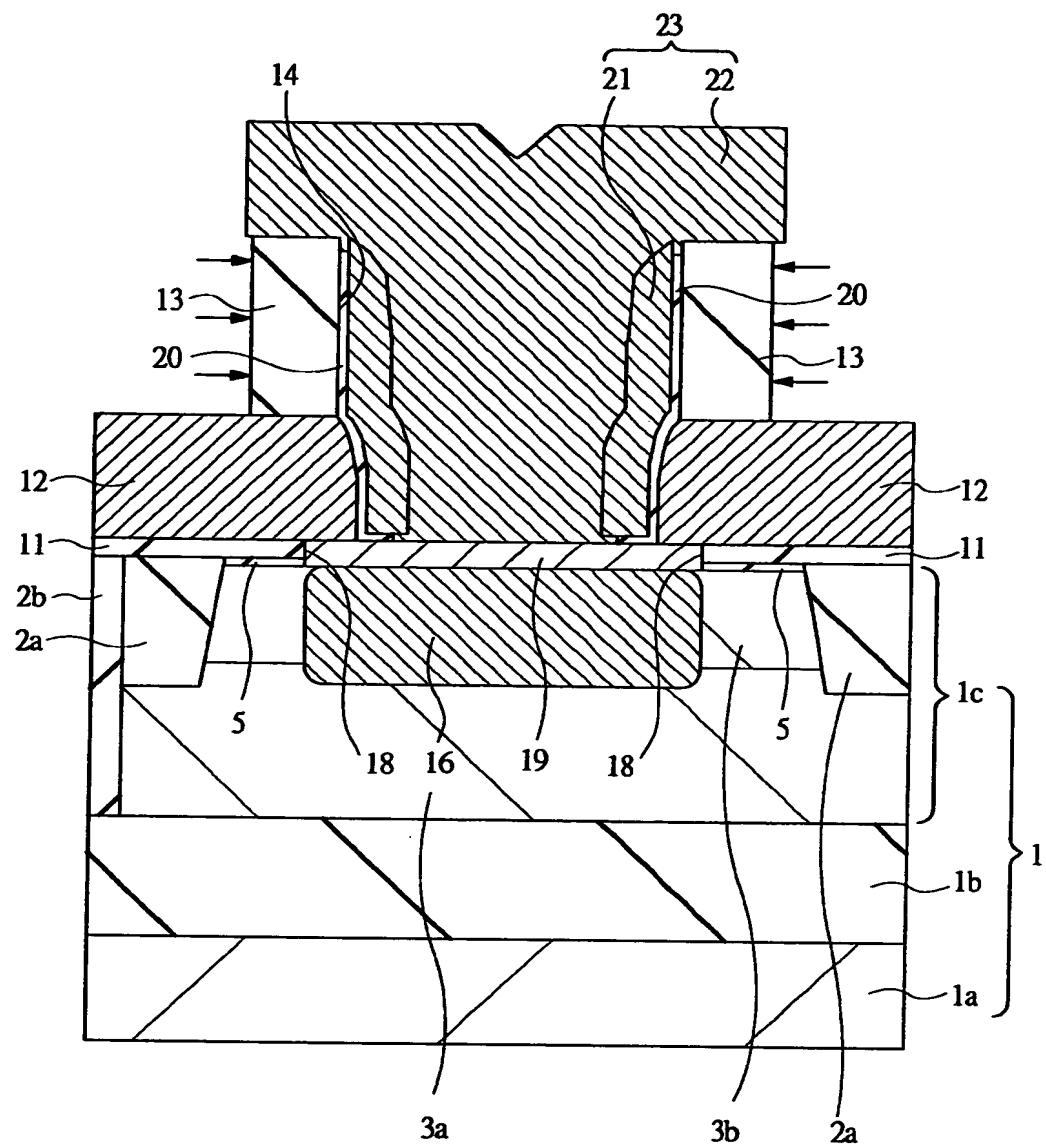
【図19】

図 19

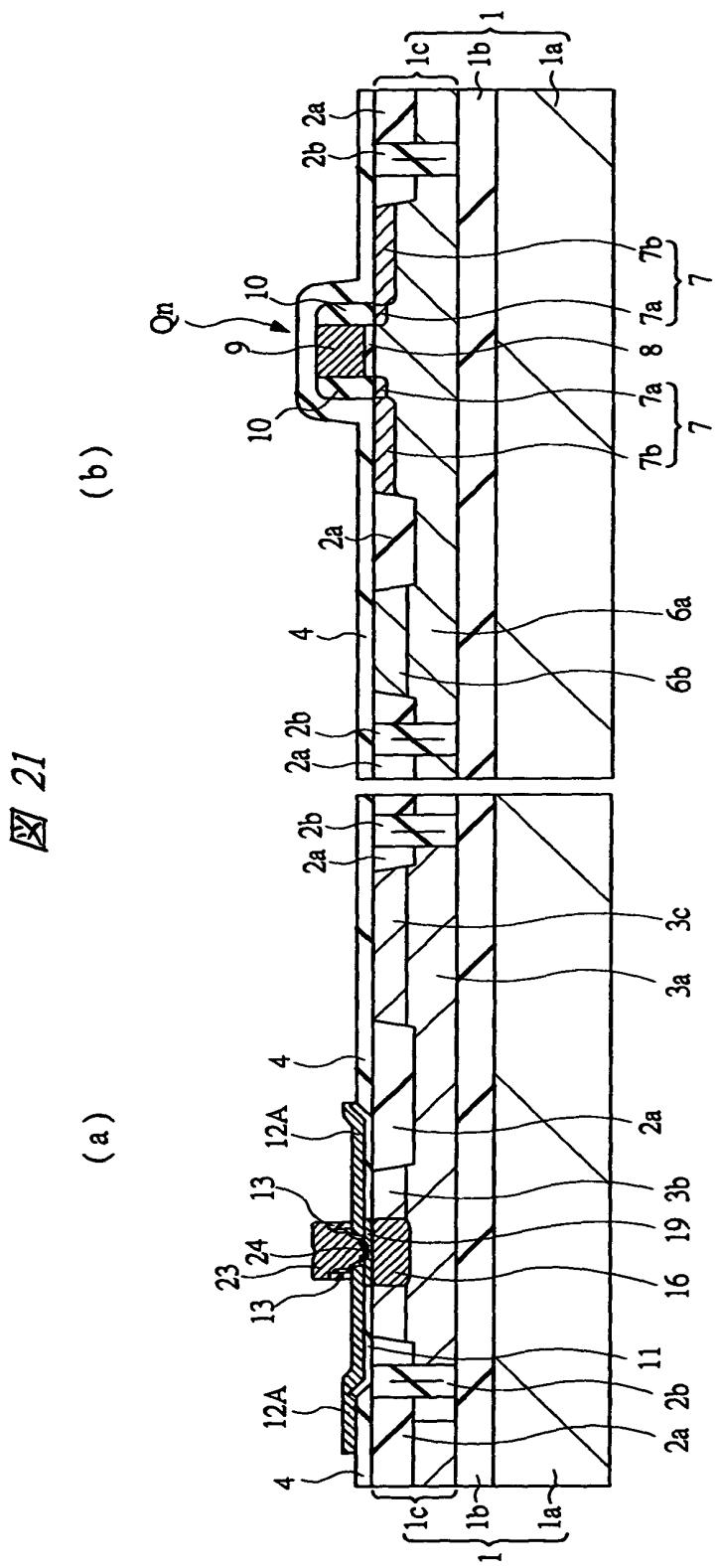


【図20】

図 20

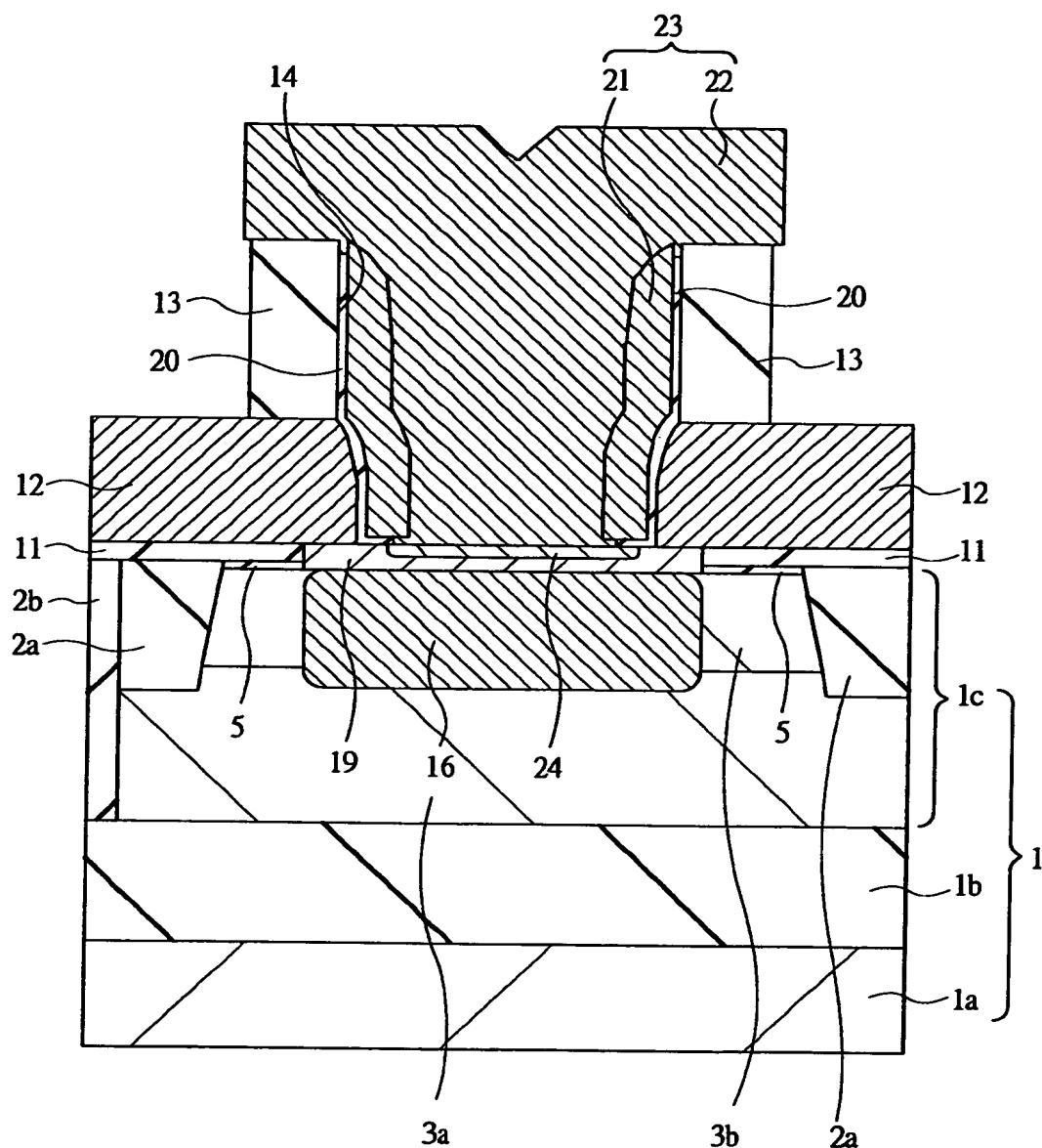


### 【図21】



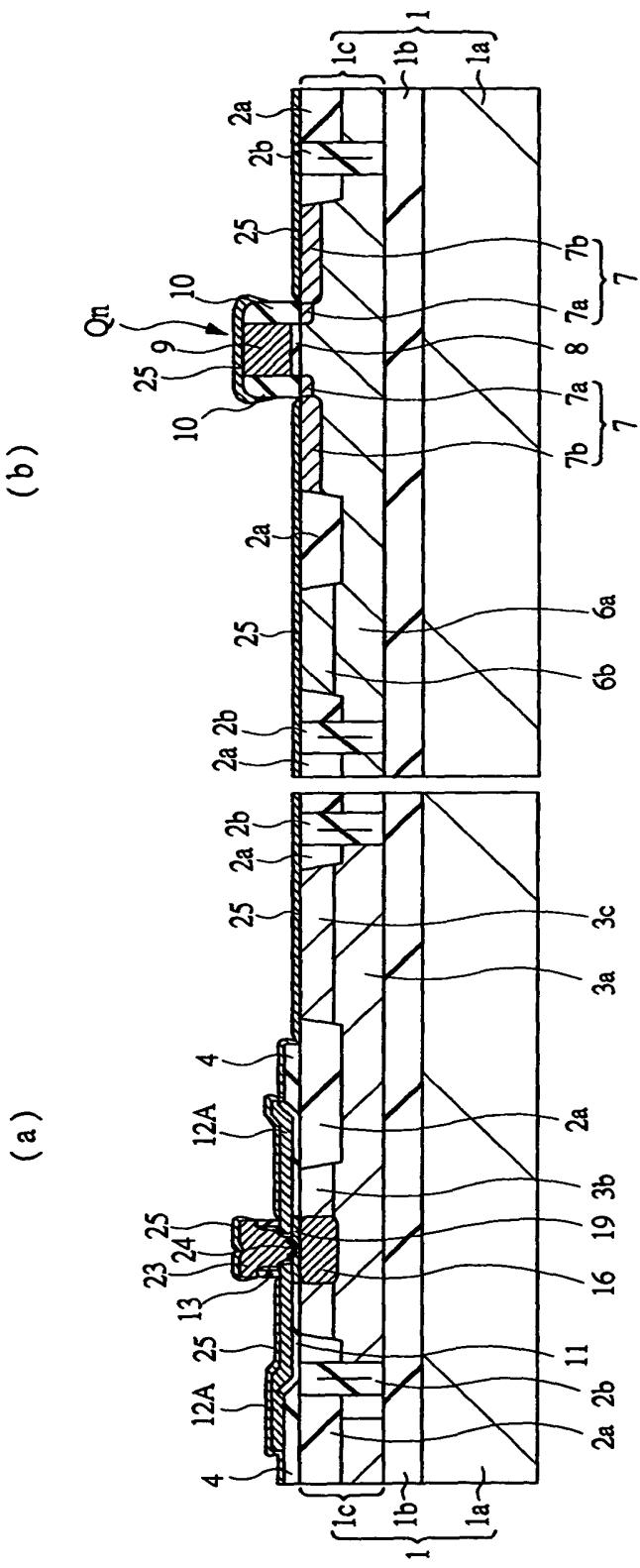
【図22】

図 22



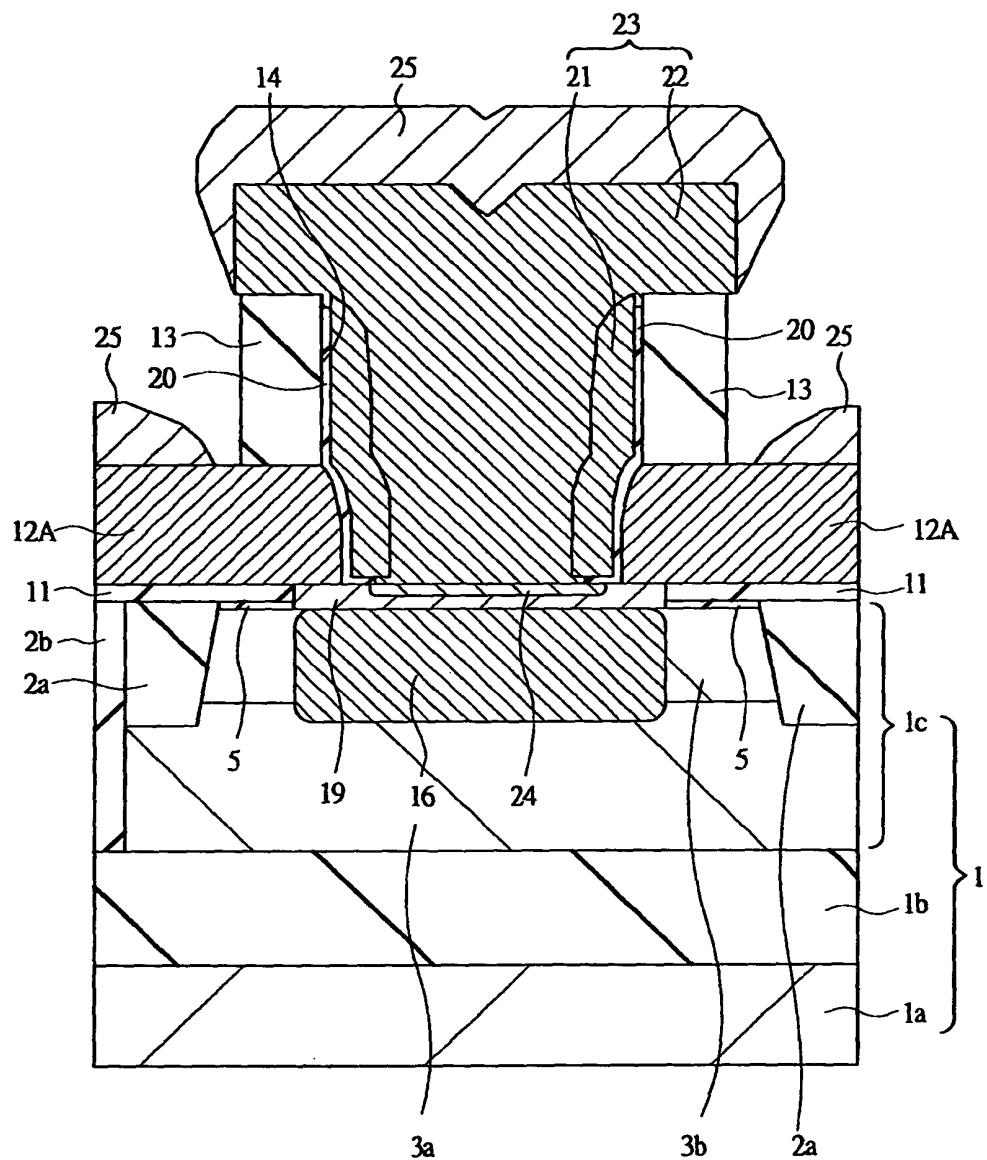
【図23】

図23

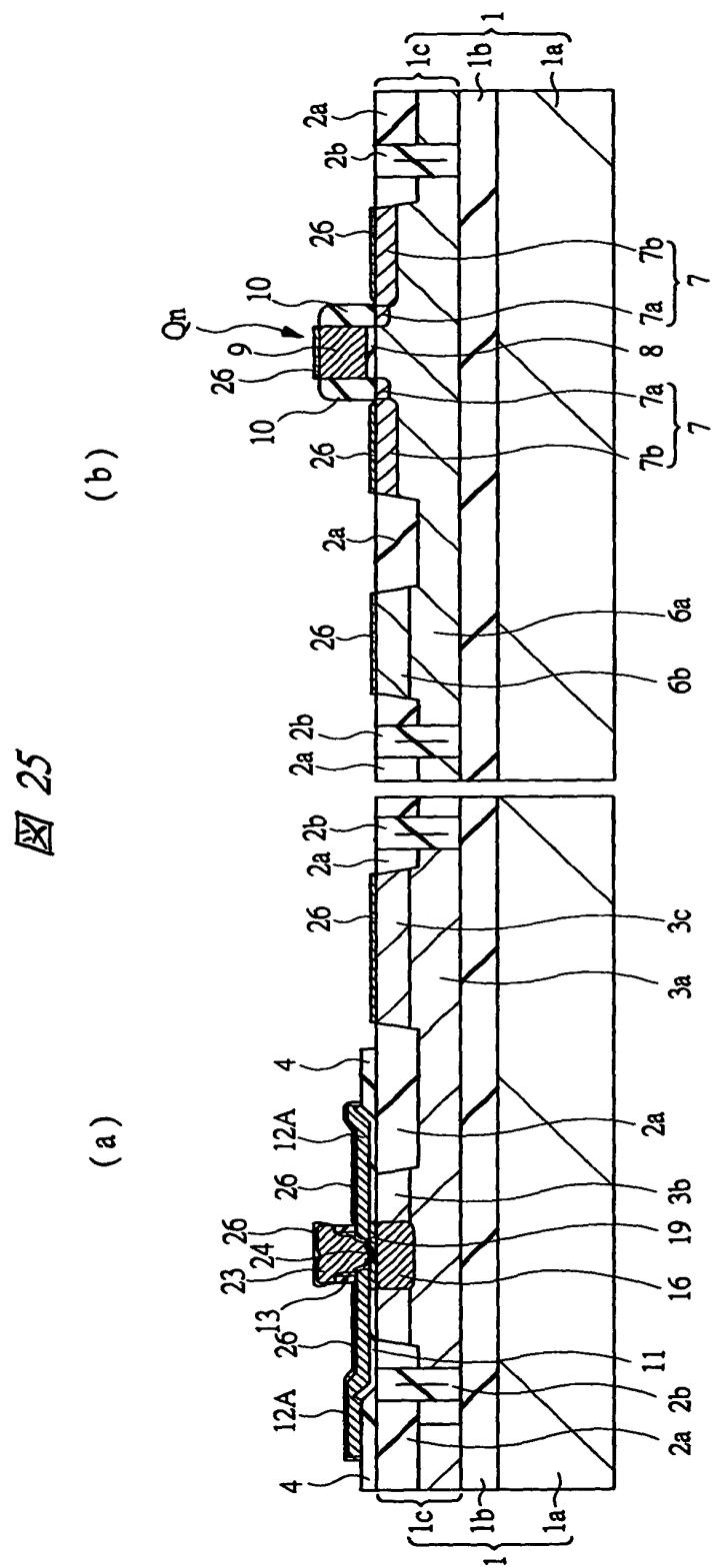


【図24】

図 24

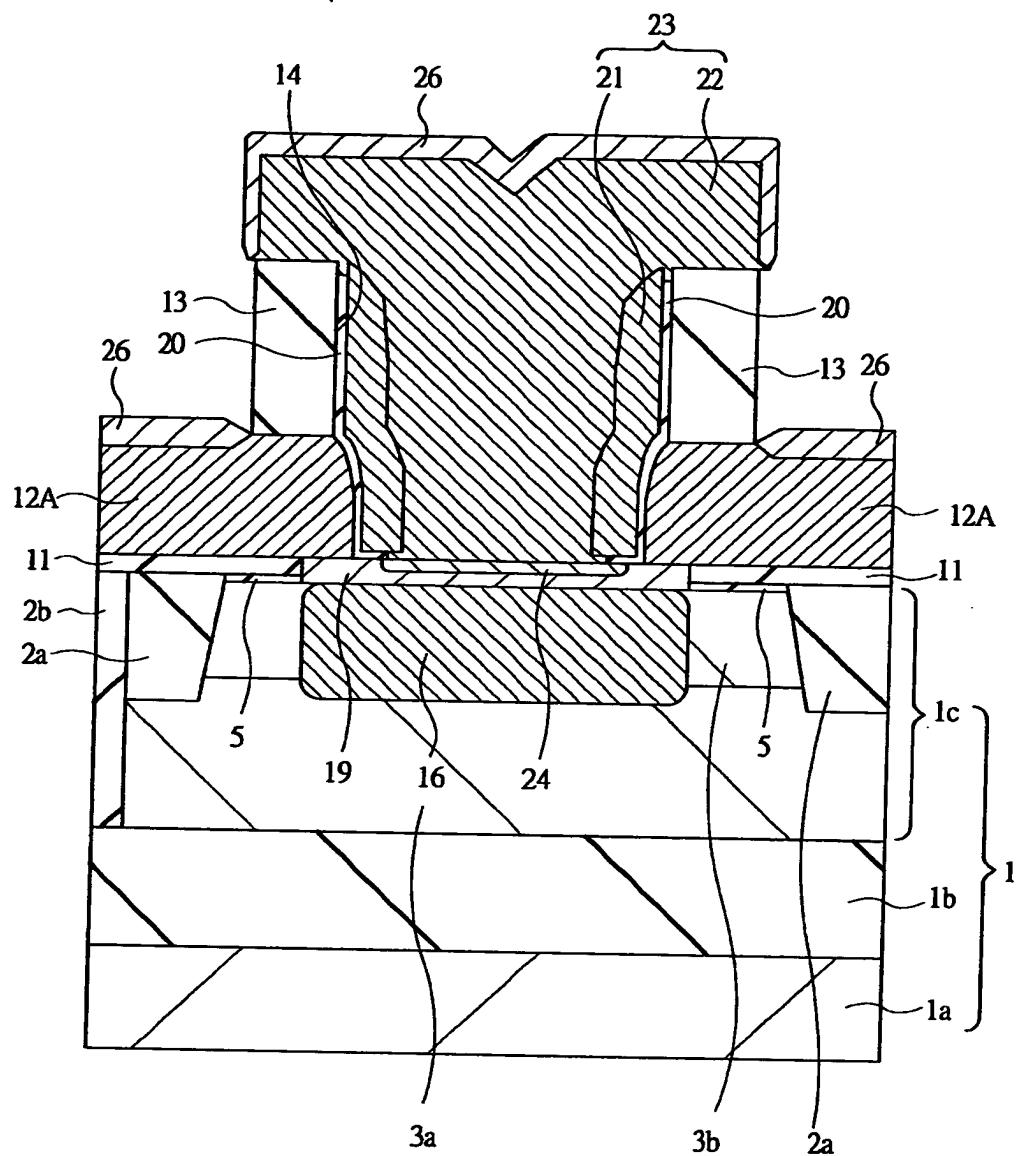


【図25】

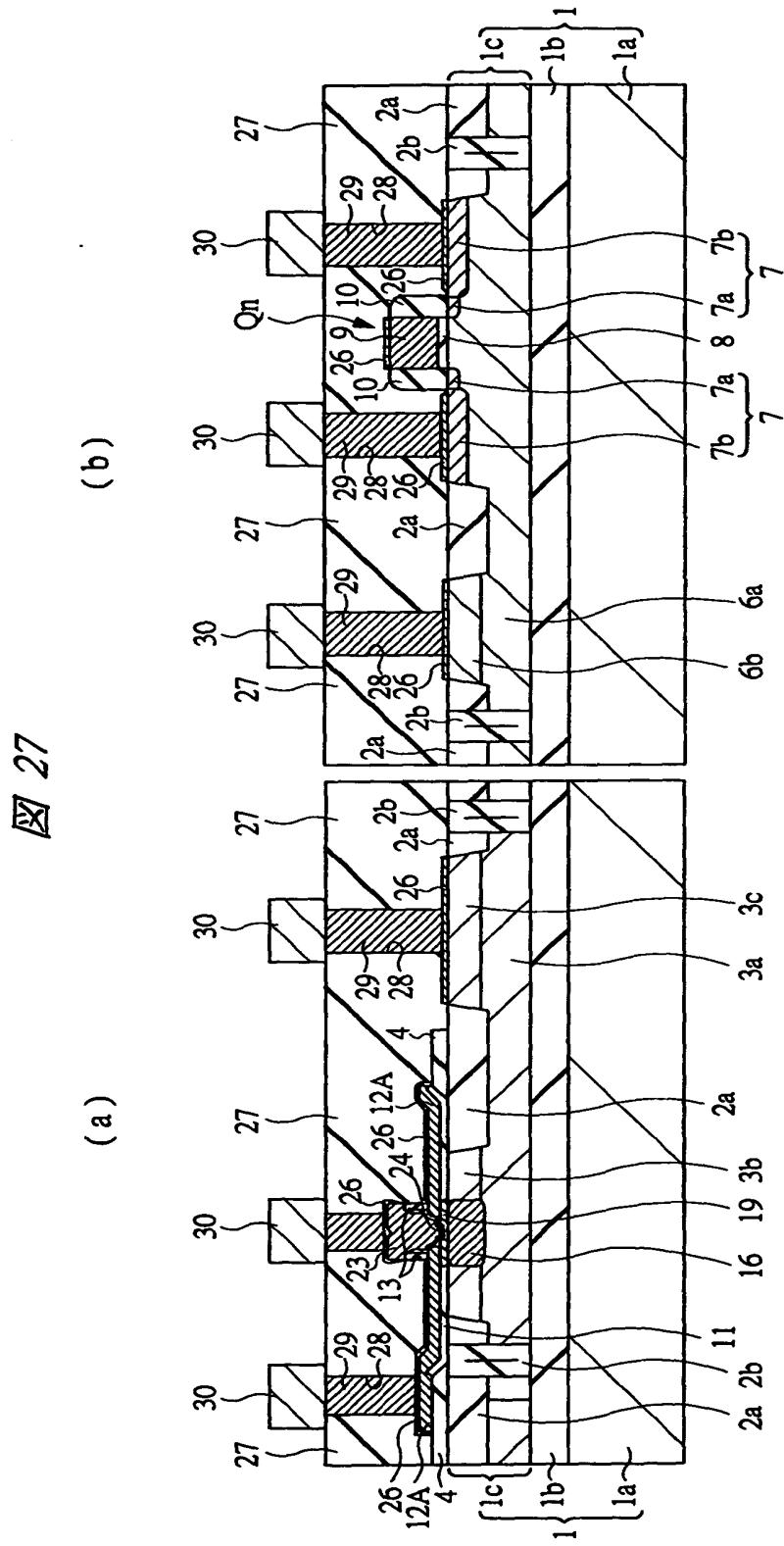


【図26】

図 26

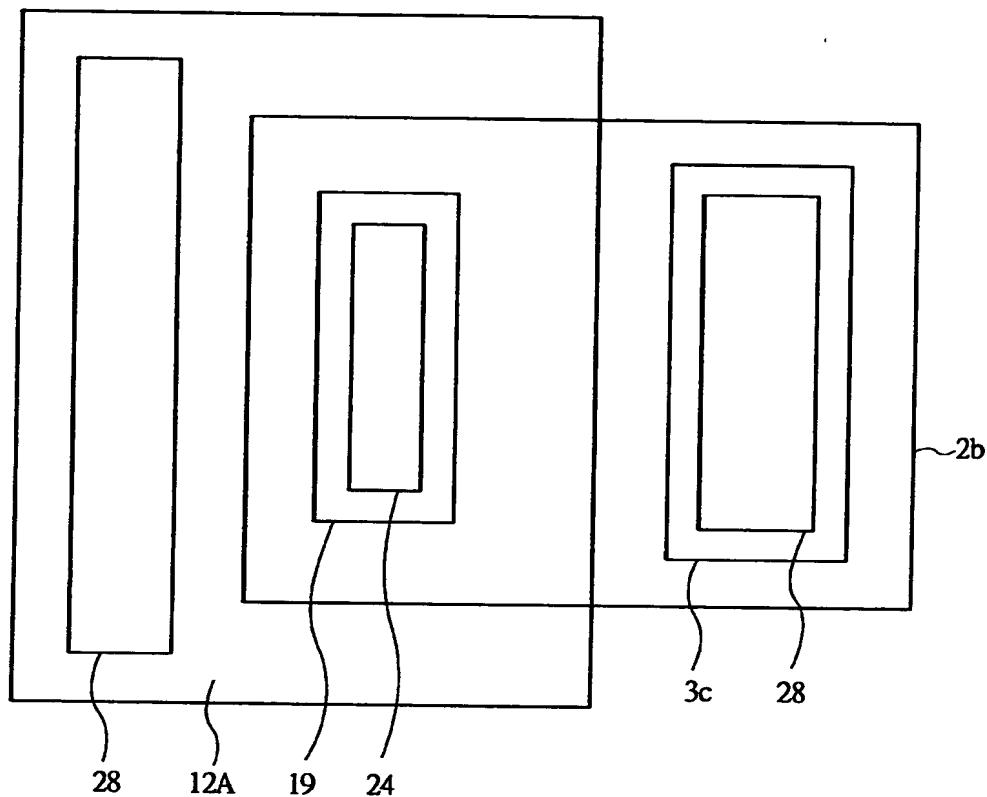


### 【図27】

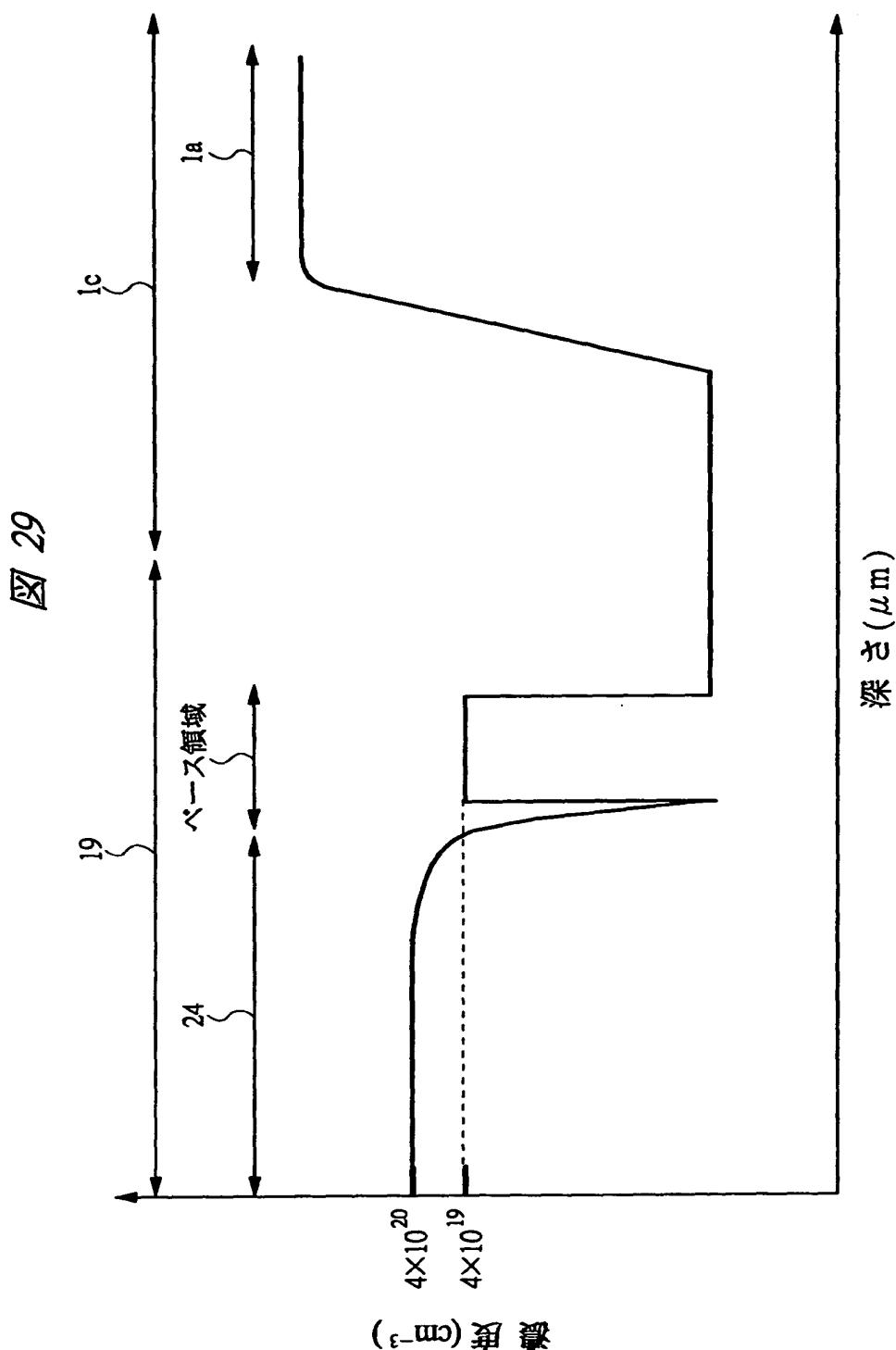


【図28】

図28

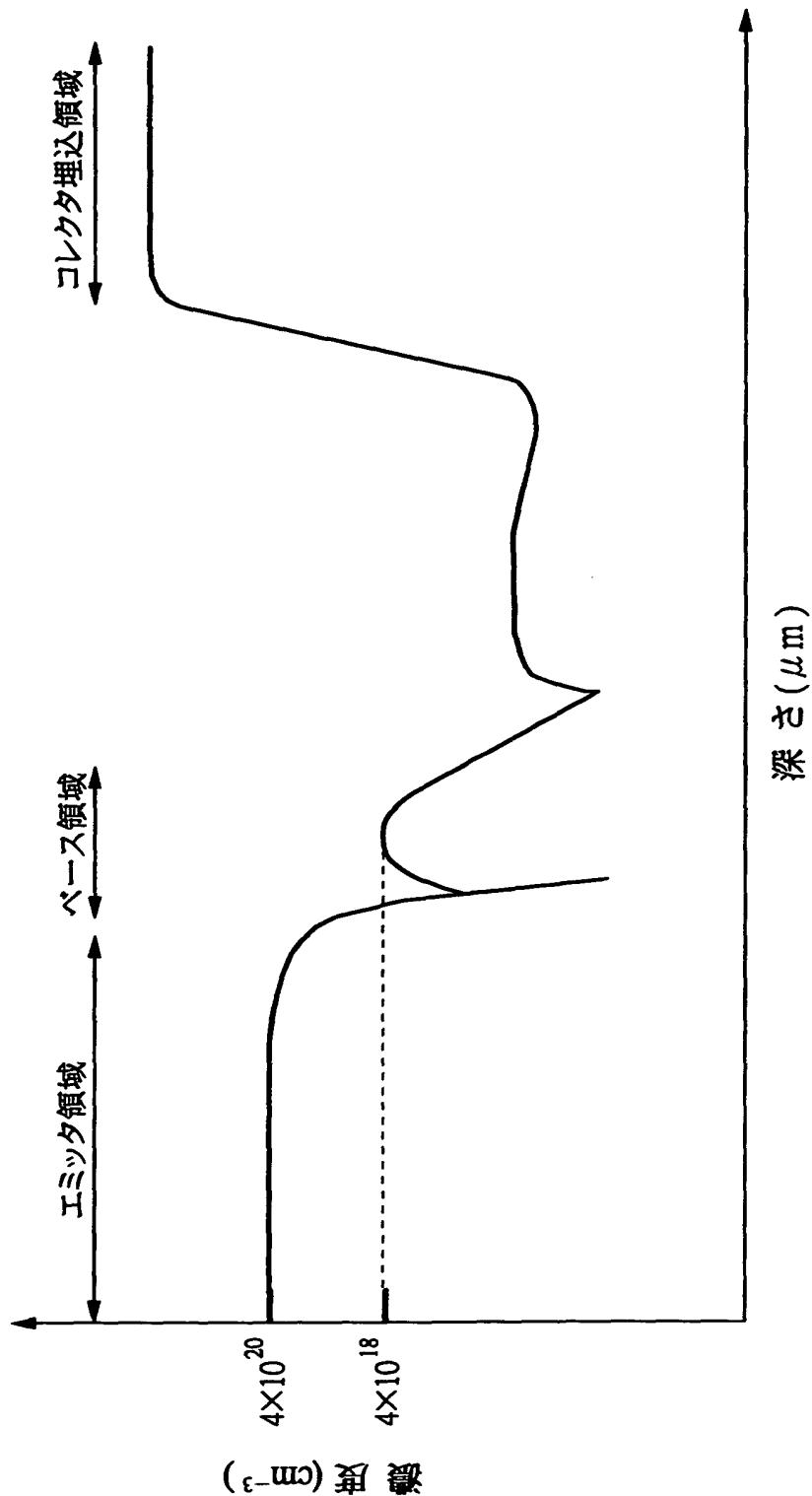


【図29】



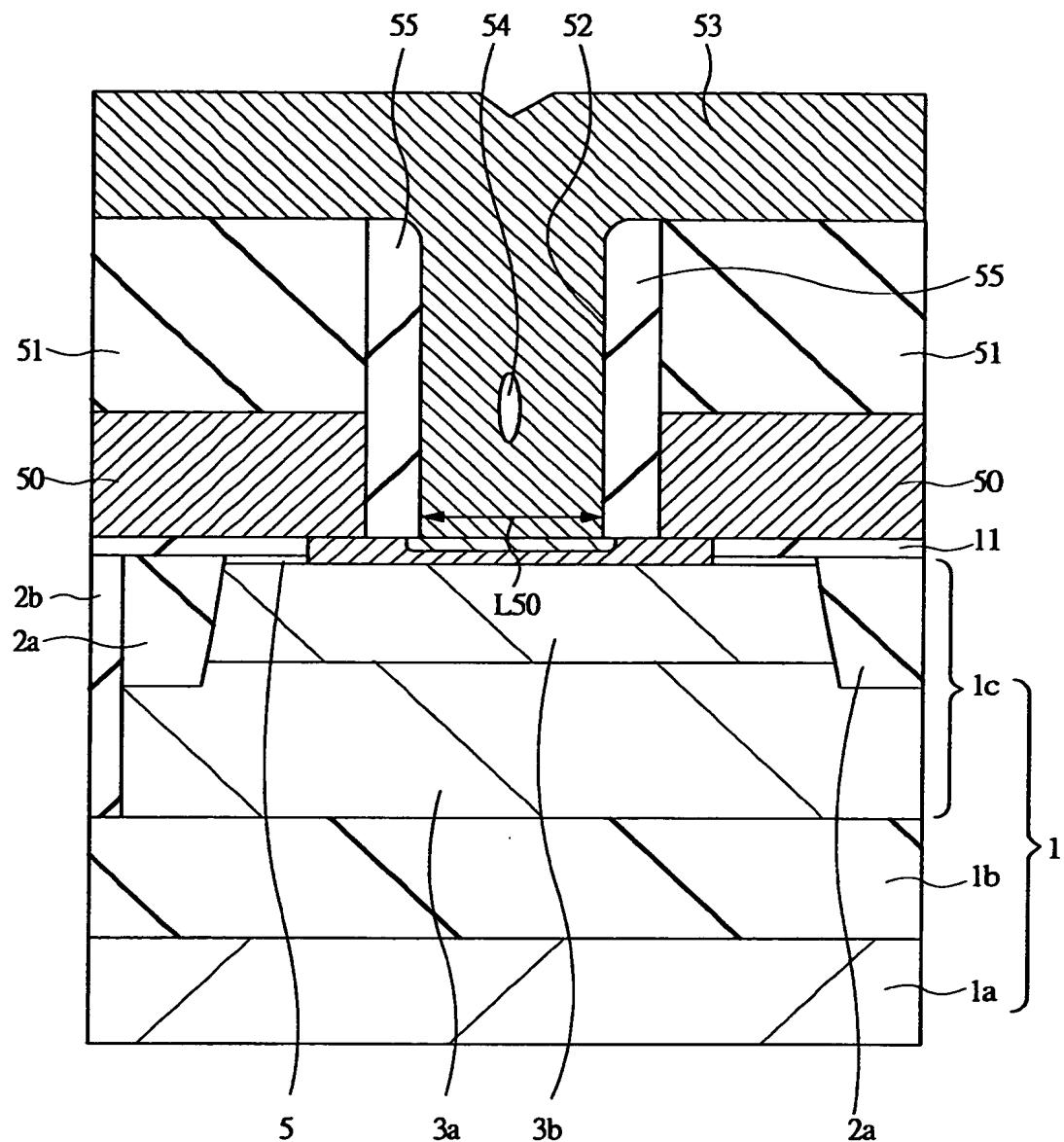
【図30】

図30



【図31】

図 31



【書類名】 要約書

【要約】

【課題】 バイポーラトランジスタの特性を向上させる。

【解決手段】 エミッタ開口部14の側面に酸化処理によって酸化シリコン膜からなる絶縁膜17を形成した後、窒化シリコン膜11をアンダーカットされるように除去することで形成された開口内にSiGeからなるエピタキシャル層19を選択成長するようにした。

【選択図】 図12

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地  
氏 名 株式会社日立製作所

出願人履歴情報

識別番号 [000233169]

1. 変更年月日 1998年 4月 3日

[変更理由] 名称変更

住 所 東京都小平市上水本町5丁目22番1号

氏 名 株式会社日立超エル・エス・アイ・システムズ